



## 【特許請求の範囲】

【請求項 1】液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加する複数のデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、制御信号及び表示データを前記データドライバ及び走査ドライバに供給する液晶コントロール回路と、前記液晶コントロール回路及び各データドライバを直列に接続して、表示データ及び制御信号を伝送する複数の伝送線路とを備えた液晶表示装置において、

前記データドライバに入力された表示データと同期した転送クロックのデューティ比を、前記液晶コントロール回路から出力されたデューティ比に再生する再生回路と、

前記再生回路から出力されるデューティ比の再生された転送クロックに基づき表示データのラッチを行うラッチ回路を有するデータドライバを具備することを特徴とする液晶表示装置。

【請求項 2】請求項 1 記載の液晶表示装置において、前記再生回路は、データドライバに入力する前記データドライバに入力する転送クロックとデューティ比の再生された転送クロックとを比較することで出力を得るフィードバック回路で構成することを特徴とする液晶表示装置。

【請求項 3】液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加するデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、制御信号及び表示データを前記データドライバ及び走査ドライバに供給する液晶コントロール回路を有し、前記液晶コントロール回路とデータドライバとは直列に接続して、表示データ及び制御信号の伝送を行うことを特徴とする液晶表示装置において、前記データドライバは、その内部において最初に表示データの取り込みを行う回路のセットアップ／ホールド時間のマージンを増加すべく、転送クロック及び表示データの変換を行う回路を有し、前記転送クロック及び表示データの変換回路からの出力を次段のデータドライバに伝送することを特長とする液晶表示装置。

【請求項 4】請求項 3 記載の液晶表示装置において、前記セットアップ／ホールド時間のマージンが増加した転送クロック変換回路からの出力信号の 2 通倍信号を生成する手段を有し、前記 2 通倍信号に基づき表示データの最初の取り込みを行うことを特長とするデータドライバを具備する液晶表示装置。

【請求項 5】液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加するデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、制御信号及び表示データを前記データドライバ及び走査ドライバに供給する液晶コントロ

ール回路を有し、

前記液晶コントロール回路とデータドライバとは直列に接続して、表示データ及び制御信号の伝送を行うことを特徴とする液晶表示装置において、

表示データと同期した転送信号の周期を  $T_0$ 、ローレベル期間とハイレベル期間の差を  $T_x$  とする場合、前記データドライバの内部において、 $T_r$  期間速く立ち上がり、 $T_x - T_r$  期間遅く立ち下がる信号を新たに生成し（但し、 $T_x > 0$  の場合において  $T_x > T_r > 0$  であ

り、） $T_x < 0$  の場合において  $0 > T_r > T_x$  である、前記内部で新たに生成された信号に基づき前記データドライバは動作することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係る液晶ドライバにおいて制御信号及び表示データを転送するための技術に関する。

## 【0002】

【従来の技術】液晶表示装置の低価格化と表示領域の周辺に当たる額縁部分の低スペース化を実現する技術として、液晶ドライバをガラス基板上に直接配置すると共に、上記ドライバ内に伝送線を有し、これを直列に接続して転送する方式があり、以下この接続方式をカスケード接続方式とする。

【0003】カスケード接続方式における制御信号及び表示データの転送方式の従来例としては、例えば特開平 9-360943 号公報に記されている方式があり、以下前記従来方式について、図 2～4 を用いて説明する。

【0004】図 2 は従来例におけるデータドライバのブロック図であり、図 1 において後述する本発明のデータドライバのブロック図と同等の機能を有する回路及び信号線に対しては、同じ番号を記してあり、その動作については、本発明の実施例において説明する。201 は従来例におけるデータドライバ、202、203 は入出力バッファ、204 は転送信号の極性を決定する DREV 信号である。

【0005】図 3 は従来例におけるデータドライバを適用しない場合のデータバスにおける信号波形の変化を示す図、図 4 はデータドライバ 201 を適用した場合のデータバスにおける信号波形の変化を示す図である。

【0006】図 2 に示すように、データドライバ 201 は、転送信号の論理レベルを反転させる出力バッファ回路を持つ入力バッファ回路 202 及び 203 と、その入力バッファ回路の出力側に挿入される排他的論理和回路 (EX-OR) とを有する。

【0007】EX-OR は、自ドライバに取り込む信号の論理レベルを本来の論理レベルに戻すためのものである。EX-OR は DREV 信号 204 に従い、入力バッファ回路の出力をそのまま反転するか、または、論理レ

ベルを反転してから出力する。なお、DREV信号204の論理レベルは各データドライバにおいて固定であるため、例えば基盤上の配線により、DREV信号の入力端子に、対応する電圧(Vcc又はGND)を供給するようにする。

【0008】論理レベルの反転を行わない同じ回路構成のバッファ回路を多段に接続してパルス伝送を行った場合には、伝送パルスのデューティ比が変化する。例えば、そのバッファ回路が、伝送パルスの立ち下がりに比べ立ち上がりの応答特性が鈍いものである場合には、図3に示すように、バッファ回路を通過する毎に伝送信号の立ち上がりが遅延し、パルス幅の減少による伝送品質の低下が起こる。

【0009】従来例では、図4に示すように、データドライバ201の出力バッファ回路を通過する毎に、伝送信号(表示データ205及びデータ転送クロック206)の論理レベルが反転するため、伝送信号の立ち上がり及び立ち下がりの方が極端に遅延することを防止できる。

【0010】

【発明が解決しようとする課題】上記従来技術を用いれば、データドライバ毎に転送クロック及び表示データを反転することができ、それによって反転させない場合よりも高速転送が可能となる。

【0011】しかしながら、上記従来技術では、次の課題を解決することができない。

【0012】(1) 信号を反転させるのみであり、一度発生したデューティ差を解消することができない。例えば1個目のデータドライバにおけるデューティが50%、3個目のデータドライバにおけるデューティが45%となったとき、5個目のデータドライバにおいては40%程度になると予測でき、少なくとも再度デューティ50%に戻ることは期待できない。

【0013】(2) これに伴い、表示データを転送クロックの立ち上がり/立ち下がりデータドライバに取り込むデュアルエッジ転送においては、上記転送クロックのエッジに対するセットアップ/ホールド時間のマージンが、立ち上がりエッジと立ち下がりエッジでは異なってくる。即ち、デュアルエッジ駆動では、転送クロックと表示データの最大周波数は共に等しいため、入出力バッファや伝送線の線幅を転送クロックと表示データで等しくし、これによって上記データドライバにおける出力バッファから入力バッファまでの、立ち上がり時の遅延時間及び立ち下がり時の遅延時間の転送クロックと表示データの差を少なくできる。一方、遅延時間は立ち上がり立ち下がりでは異なるため、転送クロックの立ち上がりエッジではセットアップ時間のマージンは十分あるにもかかわらず、ホールド時間のマージンは少なくなり、逆に転送クロックの立ち下がりエッジではホールド時間のマージンは十分あるにもかかわらず、セットアッ

ブ時間のマージンは少なくなる、等の現象が発生する。セットアップ/ホールド時間のマージンは両方のエッジに対して要求されるため、結果として、セットアップ/ホールド時間ともにマージンが少なくなる。

【0014】(3) 更に、従来例の方法においては、データドライバを介する毎に信号を反転する必要があるため、奇遇を判別するための制御信号(従来例においてはDREV信号)が必要となるため、チップ上のピン数増加につながる。

10 【0015】以上のように(1)(2)は多数のデータドライバをカスケード接続する必要がある大画面化、及び転送周波数が高速となる高精細化を進める上での課題となり、(3)は低価格化を進める上での課題となる。

【0016】本発明の目的は、上記課題を鑑み、ドライバをカスケード接続する場合において、大画面、高精細、及び低価格化を進めることの可能な液晶表示装置を供給することを目的とする。

【0017】

20 【課題を解決するための手段】上記目的を解決するため、本発明の液晶表示装置におけるドライバは、少なくとも内部に転送クロックのデューティを液晶コントロール回路から出力されたデューティ、即ち50%に再生するクロック再生回路を有すると共に、前記クロック再生回路にて生成されたクロックは、表示データとの位相関係が明確化するように再生し、セットアップ/ホールド時間のマージンが十分に得られにする。以上によって発明が解決しようとする課題において示した(1)

(2)が解決され、大画面化、高精細化を実現できる。

30 【0018】更に転送クロック及び表示データは反転することなく出力できるようにし、これによって(3)を解決し、低価格化を図ることができる。

【0019】

【発明の実施の形態】以下、第一の実施例について、図1、図5～13を用いて説明する。

40 【0020】図1は第一の実施例におけるデータドライバの構成を示すブロック図であり、101はデータドライバであり、本実施例において、384本の液晶出力線を有するものとする。102は入力転送クロック、103は入力表示データ、104は入力イネーブル信号である。データドライバ101は、入力イネーブル信号104に基づき、入力転送クロック102の立ち上がりエッジと立ち下がりエッジで表示データ103の取り込みを行うものとする。105は表示データに応じた電圧を液晶表示パネルに出力する入力液晶印加信号、106は液晶表示パネルに出力する電圧を決定する入力液晶基準電圧である。107はクロック再生回路、108はクロック再生回路で入力転送クロック102に基づき再生された再生転送クロックであり、109はラッチクロックであり、再生転送クロック108の2逓倍信号である。1010はイネーブル制御回路、111はラッチアドレス開

始信号、112は出力開始信号、113は出力イネーブル信号であり、111~113は入力イネーブル信号104及び入力転送クロック102に基づきイネーブル制御回路110で生成される。114は入力表示データ103をラッチクロック109の立ち上がりエッジでラッチするラッチ回路、115はラッチ回路114でラッチされた表示データである。116、118は出力バッファであり、出力開始信号112がローレベルの場合はハイインピーダンス状態となる。117は出力転送クロック、119は出力表示データである。120はラッチアドレス生成回路、121はラッチアドレスであり、ラッチアドレス121はラッチクロック109、ラッチアドレス開始信号111に基づきラッチアドレス生成回路120で生成される。122はラッチ回路(1)、123はラッチ回路(1)122においてラッチアドレス121に基づき取り込まれた表示データである。124はラッチ回路(2)、125はラッチ回路(2)124において入力液晶印加信号105に基づき出力される表示データである。126は液晶駆動回路、127は表示データ125に基づき入力液晶基準電圧から生成された液晶印加電圧である。128は入力液晶印加信号105をバッファリングした出力液晶印加信号、129は入力液晶基準電圧106を電流増幅した出力液晶基準電圧である。

【0021】図5は本発明における液晶表示装置の構成を示す図である。501は液晶表示装置であり、本実施例における表示領域のサイズは、1024×3(RGB)×768のXGAと呼ばれる規格とする。502は液晶コントローラ、503-1~503-8は図1において示したデータドライバ、504-1~504-3はゲートドライバであり、ゲートドライバは256本の出力数を有するとともに、データドライバ503-1~503-8、ゲートドライバ504-1~504-3は液晶表示装置501のガラス基板上に配置されたものとする。505-1~505-8はデータドライバ信号群であり、前段の液晶コントローラ502及びデータドライバ503と次段のデータドライバとの間で接続されている。506-1~506-3はゲートドライバ信号群であり、データドライバ信号群と同様に前段の液晶コントローラ502及びゲートドライバと次段のゲートドライバとの間で接続されている。

【0022】図6はクロック再生回路107の構成を示す図であり、601は入力転送クロック102の入力バッファ、602はその出力である。603、604は反転回路、605、606は各々入力転送クロック602、比較信号619を反転回路603、604で反転した信号である。607、608は入力信号におけるエッジ同士の位相差を比較し、その差を出力するエッジ比較回路、609-up、610-upはそれぞれエッジ比較回路607、608における位相進み信号、609-dwn、6

10-dwnはそれぞれエッジ比較回路107、108における位相遅れ信号である。611はエッジ判別回路であり、エッジ比較回路607、608の出力に基づきエッジを判別すべく演算を行い、その結果を位相進み信号612-up、位相遅れ信号612-dwnとして出力する。613はチャージポンプ回路、614はバイアス電圧であり、図中においてはCMOS回路で構成され、位相進み信号612-upと位相遅れ信号612-dwnの論理レベルに応じてバイアス電圧614が変化する。615はループフィルタであり、バイアス電圧614の高周波成分を取り除きバイアス電圧616を生成する。617は入力電位レベルに応じて出力周波数に変化するVCO(電圧制御発振器)である。618は分周回路であり、ラッチクロック109を分周し、比較信号619を生成する。620は比較信号619の反転回路であり、再生転送クロック108を出力する。

【0023】図7は図6で示したエッジ比較回路607、608の構成を示す図である。図8はエッジ比較回路の動作を示すタイミング図、図9はエッジ判別回路の構成を示す図であり、NOR回路901-1~901-3と反転回路902で構成される。

【0024】図10はVCO617の構成を示す図であり、1001はバイアス入力のある反転回路、1002は出力バッファであり、VCO617は奇数個の反転回路1001を接続すると共に、最終段の出力を初段の入力とすることで、発振周波数を得ている。

【0025】図11はバイアス電圧とVCO617の発振周波数の関係を示す図であり、図12はクロック再生回路108の動作を示すタイミング図、図13はデータドライバ101の動作を示すタイミング図である。以上の図面に基づき、本実施例の動作について説明する。

【0026】図5に示すように、液晶コントローラ502において生成されたデータドライバ信号群505-1は、一段目のデータドライバ503-1に転送される。ここで、データドライバ503の動作について説明する。図13に示すように、入力転送クロック102は立ち下がり／立ち下がりエッジで入力表示データ103の取り込みができるタイミングで前段の回路から転送されてくる。しかしながら、従来例においても説明したように、前段回路における出力バッファや自段回路における入力バッファ、伝送線のインピーダンス等によって、入力転送クロック102や入力表示データ103等はデューティが変化してしまう。

【0027】データドライバ503においては、初めに図1に示すクロック再生回路107において入力転送クロック102からラッチクロック109と再生転送信号108を生成する。この過程について図6~12を用いて説明する。クロック再生回路107に入力した入力転送クロック102は、図6に示すように入力バッファを介した後、比較信号619との立ち上がりエッジ同士を

比較するエッジ比較回路 607、前記 602 と 619 をそれぞれ反転回路 603、604 で反転することによって立ち下がりエッジ同士を比較するエッジ比較回路 608 に入力する。エッジ比較回路 607、608 は図 7 に示す構成となっており、そのタイミング図は、例えば 607 の場合には図 8 に示すように、2 入力信号の立ち上がりエッジを比較し、両者の立ち上がりタイミングが等しければ、出力である 609-up、609-dwn を共に、ローレベルとし、入力転送クロック 602 が比較クロック 620 よりも速く立ち上がる場合は、602 がハイレベルで 620 がローレベルの期間において 609-dwn をハイレベルとする。逆に 602 が 620 よりも遅く立ち上がる場合は、602 がローレベルで 620 がハイレベルの期間において 609-up をハイレベルとする。

【0028】従ってクロック生成回路 107 においては、例えば入力転送クロック 602 に対して、比較信号 619 が同じ周期及びデューティで、比較信号 619 の位相がわずかに遅れていた場合、エッジ比較回路 607 においては入力転送クロック 602 の立ち上がりから比較信号 619 の立ち上がりまでの期間において位相遅れ信号 609-dwn がハイレベルとなり、又入力転送クロック 602 の立ち下がりから比較信号 619 の立ち下がりまでの期間において位相遅れ信号 610-dwn がハイレベルとなり、その他の期間においては位相進み信号 609-up、610-up、位相遅れ信号 609-dwn、610-dwn 共にローレベルとなり、結果として前記位相進み信号と位相遅れ信号は入力転送クロック 602 と比較信号 619 の立ち上がりと立ち下がりにおける位相差情報を有することとなる。

【0029】このようにして生成された位相進み信号 609-up、610-up、及び位相遅れ信号 609-dwn、610-dwn はエッジ判別回路 611 において、立ち上がりと立ち下がり で別個に生成した位相差情報それぞれの論理和を取ることによって立ち上がり と立ち下がり の位相進み情報、位相遅れ情報をそれぞれ一つの情報とすると共に、後段のチャージポンプ回路 613 に適した信号レベルとするため、位相進み信号においては、位相差が発生した場合はローレベルとなるように論理変換を行う。更に、位相差信号は位相進みと位相遅れが同時に発生してはならないが、単に論理和演算を行ったのみでは、例えば位相進み信号 609-UP と位相遅れ信号 610-DWN が共にハイレベルとなる期間を有する可能性がある。従って、位相遅れ信号に対しては、NOR 回路 901-2 で論理和演算を行った後、反転回路 902 でハイアクティブとした位相進み信号によって、NOR 回路 901-3 を用いてマスクしている。

【0030】以上のように生成された位相進み信号 612-up、位相遅れ信号 612-dwn は、チャージポンプ回路 613 に入力する。チャージポンプ回路 613 は、

図 6 に示すように、位相進み信号 612-up はソース側を高電位レベルとした PMOS のゲートに入力し、位相遅れ信号 612-dwn はソース側を低電位レベルとした NMOS のゲートに入力する。前記 PMOS と NMOS のドレイン側は接続し、そのノードからバイアス電圧 614 を得ている。従って、位相進み信号 612-up がローレベルとなれば高電位側から電流を流れこむことでバイアス電圧 614 の電位が上昇し、位相遅れ信号 612-dwn がローレベルとなれば低電位側に電流を流すことでバイアス電圧 614 の電位が低下する。更に 612-up がハイレベル、612-dwn がローレベルの場合は何れのソース側も電流を流さないため、バイアス電圧 614 は変化しない。以上のような動作によって生成されたバイアス電圧 614 はループフィルタ 615 によって高周波成分を取り除いた後、VCO 回路 617 に入力する。

【0031】次に、この VCO 回路 617 の動作について説明する。VCO 回路 617 は図 11 に示すように、バイアス電圧と発振周波数の間に線形性を有している。従ってバイアス電圧 614 が  $V_L$  と  $V_H$  の範囲においては、バイアス電圧が  $V_1$  から  $V_2$  に変化した場合の周波数変化と  $V_2$  から  $V_1$  に変化した場合の周波数変化は等しくなる。

【0032】以上の VCO 回路 617 によって発生した信号が再生転送クロック 109 として、クロック再生回路から出力すると共に、前記エッジ比較回路 607 にフィードバックすると共に、反転回路 604 を介してエッジ比較回路 608 にもフィードバックする。

【0033】以上の動作を結果、クロック再生回路 107 の入力における入力転送クロック 102 として、デューティ  $t_0/T_0\%$  ( $T_0$  は入力信号の 1 周期分の期間、 $t_0$  はハイレベルの期間) の信号が入力した場合、図 12 に示すように、比較信号 619 は、入力転送クロック 102 の立ち上がりに対して  $t_{rm}$  期間速く立ち上がり、102 の立ち下がりに対して  $t_{fm}$  期間遅く立ち下がる。この時、 $t_{rm}$  と  $t_{fm}$  は VCO 回路 617 の特性から等しくなり、従って  $t_{rm} = t_{fm} = (T_0 - t_0)/2$  となり、比較信号 619 はデューティ 50% で、入力転送クロック 102 に対して前後に同じ幅だけ遅延時間の変化した信号となり、これを反転した再生転送クロック 109 も同様となる。

【0034】以上によって生成されたラッチクロック 108 及び再生転送クロック 109 に基づきデータドライバ 101 は動作を行う。そこで、本ラッチクロック及び再生転送クロックを用いた場合のデータ取り込み方法について図 13 を用いて説明する。

【0035】前段のデータドライバから出力される出力転送クロック 117 及び表示データ 119 のデューティが 50% であった場合においても、入出力バッファや伝送線のインピーダンスによって、自段に入力する入力

転送クロック102及び入力表示データ103はデューティーが変化する。しかしながら、入出力バッファの駆動能力及び伝送線のインピーダンスが何れの伝送路でも等しい場合、図13に示すように、転送クロックが立ち上がりにおいて $t_{dr}$ 秒遅延し、立ち下がりにおいて $t_{df}$ 秒遅延する場合、表示データにおいても立ち上がりでは $t_{dr}$ 秒遅延し、立ち下がりでは $t_{df}$ 秒遅延することとなり、即ち1周期 $T_0$ に対して、デューティーは $50\%$ であったものが、 $(50 + (T_{df} - T_{dr}) / T_0) \%$ に変化する。ここで、図1において、入力表示データ103はラッチ回路114で再生転送クロック109によってラッチすることとなるが、仮に入力転送クロック102でラッチとした場合、セットアップ/ホールド時間マージンは、 $T_{dr} > T_{df}$ の場合、図13からクロック立ち下がりエッジにおいてセットアップ時間のマージンは $Trsu$ のままであるが、ホールド時間のマージンは $Trho' = Trho - (T_{dr} - T_{df})$ となる。これに対して、立ち下がりエッジにおいてセットアップ時間のマージンは $Tfsu' = Tfsu - (T_{dr} - T_{df})$ となる。立ち上がり時と立ち下がり時では同時にセットアップ/ホールド時間のマージンを満たす必要があるため、回路としてのセットアップ時間のマージンは $Tsu' = Tfsu' - (T_{dr} - T_{df})$ 、ホールド時間のマージンは $Tho' = Trho - (T_{dr} - T_{df})$ となる。

【0036】これに対して、本実施例を適用した場合の再生転送クロックにおいては、デューティーが $50\%$ となり、且つ立ち上がり/立ち下がりにおいて、入力転送クロックと比較して、立ち上がりでは $(T_{dr} - T_{df})/2$ 秒速く立ち上がり、立ち下がりでは $(T_{dr} - T_{df})/2$ 秒遅く立ち下がるため、立ち上がりでのセットアップ/ホールド時間のマージンはそれぞれ $Trsu'' = Trsu - (T_{dr} - T_{df})/2$ 、 $Thsu'' = Tfsu' + (T_{dr} - T_{df})/2 = Tfsu - (T_{dr} - T_{df})/2$ 、立ち下がりでのセットアップ/ホールド時間のマージンは $Tfsu'' = Tfsu' + (T_{dr} - T_{df})/2 = Tfsu - (T_{dr} - T_{df})/2$ 、 $Tfho'' = Tfsu - (T_{dr} - T_{df})/2$ となり、セットアップ/ホールド時間のマージンはクロックの立ち上がり/立ち下がりでの差が無くなり、セットアップ/ホールド時間の両方において $(T_{dr} - T_{df})/2$ 秒のマージンが発生し、その分高速伝送が可能となる。

【0037】次に第二の実施例として、第一の実施例とは異なる構成のクロック再生回路を用いた場合について、図1、図14～21を用いて説明する。

【0038】図14は第二の実施例におけるクロック再生回路の構成を示すブロック図である。1401は第一遅延回路であり、入力転送クロック102のハイレベル幅の半分だけ位相を遅延し、遅延転送クロック(1)1402を生成する。1403はデューティー再生回路であり、遅延転送クロック(1)1402の立ち上がりと同期して、デューティーを $50\%$ とした再生転送クロック(1)1404を生成する。1405は第二遅延回路であり、第一遅延回路(1)1401と同様の機能を有することで、再生転送クロック(1)1404のハイレ

ベル幅の半分だけ位相を遅延し、再生転送クロック108を生成する。1406は排他的論理和回路であり、再生転送クロック(1)と再生転送クロック108の排他的論理和演算を行うことで、ラッチクロック109を生成する。

【0039】図15は第一遅延回路1401の構成を示す図である。1501-1、2は同一の構成からなる遅延回路であり、共に遅延制御信号1502に基づき入力信号を遅延させる。ここでは、遅延回路1501-1は入力転送クロック102を遅延することで、遅延転送クロック(1)1402を生成し、遅延回路1501-2は遅延転送クロック(1)1402を遅延することで、遅延転送クロック(2)1503を生成する。1504は反転回路、1505は反転回路1504によって生成された入力転送クロック102の反転信号である。1506はエッジ比較回路であり、遅延転送クロック(2)1503と反転信号1505の立ち上がりエッジの位相差を判定し、その結果を位相進み信号1507-up、位相遅れ信号1507-dwnとして出力する。1508は遅延回路、1509は反転信号1505の遅延信号である。1510はアップ/ダウカウンタであり、遅延信号1509に同期して、位相進み信号1507-upが有効である場合はカウントアップを行い、位相遅れ信号1507-dwnが有効である場合はカウントダウンを行い、結果をカウンタ信号1511として生成する。1512はデコーダであり、 $n$ ビットからなるカウンタ信号1511を、 $2^n$ ビットのうち1ビットのみが有効となる遅延制御信号1502に変換する。

【0040】図16は遅延回路1501の構成を示す図である。遅延回路1501は、 $2^n$ 個からなる遅延回路1601-1～1601- $2^n$ を有し、入力である入力転送クロック102を $2^n$ 段階に遅延し、遅延信号1602-1～1602- $2^n$ を生成する。1603-1～1603- $2^n$ はスイッチング回路であり、 $2^n$ ビットからなる遅延制御信号1502に基づき多くとも一つのスイッチング回路をオン状態とすることで、出力である遅延転送クロック(1)1402を得る。尚、遅延回路1501-1と1502-2は同等の回路からなる。

【0041】図17はエッジ比較回路の構成を示す図であり、1701-1、1701-2は遅延回路、1702-1、1702-2はラッチ回路である。図17に示す構成によってエッジ比較回路1506は、遅延転送クロック(2)1503に対して、反転信号1505が遅延回路1701-1における遅延分よりも位相が進んでいる場合には1507-upがハイレベルとなり、逆に反転信号1505に対して、遅延転送クロック(2)1503が遅延回路1701-2における遅延分よりも位相が進んでいる場合には1507-dwnがハイレベルとなる。

【0042】図18は第一遅延回路の動作を示すタイミング図である。

【0043】図19はデューティ再生回路1403の構成を示す図である。1901-1、2は同一の構成からなる遅延回路であり、共に遅延制御信号1902に基づき入力信号を遅延させる。ここでは、遅延回路1901-1は遅延転送クロック(1)1402を遅延することで、クリア信号1903を生成し、遅延回路1501-2はクリア信号1903を遅延することで、遅延転送クロック(3)1904を生成する。1905はエッジ比較回路であり、例えば図17において示した回路と同様の機能を有し、遅延転送クロック(3)1904と遅延転送クロック(1)1402の位相差の比較を行い、その結果を位相進み信号1906-up、位相遅れ信号1906-dwnとして出力する。1907は遅延回路、1908は遅延回路1907で遅延した遅延転送クロック(1)1402の遅延信号である。1910はアップ/ダウンカウンタであり、遅延信号1908に同期して、位相進み信号1906-upが有効である場合はカウントアップを行い、位相遅れ信号1906-dwnが有効である場合はカウントダウンを行い、結果をカウント信号1911を生成する。1912はデコーダであり、 $n$ ビットからなるカウント信号1911を、 $2^n$ ビットのうち1ビットのみが有効となる遅延制御信号1902に変換する。1913はエッジクリア機能付きのラッチ回路であり、遅延転送クロック(1)1402に同期してハイレベル電圧をラッチすると共に、クリア信号1903の立ち下がり非同期のクリア動作を行い、再生転送クロック108を生成する。

【0044】図20はデューティ再生回路の動作タイミングを示す図である。以上の図面に基づき、第二の実施例の動作について詳細に説明する。

【0045】第一の実施例と同じく、データドライバ101に対してはデューティの変化した入力転送クロック102が入力される。データドライバ101においては前記外部から入力される入力転送クロック102は、図14に示す本実施例のクロック再生回路108におけるクロック再生回路107に転送される。ここでクロック再生回路の動作について、図15~20を用いて説明する。

【0046】図15において、入力転送クロック102は遅延回路1501-1に転送される。遅延回路1501-1は、図16に示す構成であり、 $2^n$ 個の遅延回路1601-1~1601- $2^n$ を用いることで、入力転送クロック102を $2^n$ 段階に遅延させている。以上の回路によって生成された $2^n$ 段階の遅延信号1602-1~1602- $2^n$ から、遅延制御信号1502によってスイッチング回路1603-1~1603- $2^n$ のうち、只一つのスイッチング回路が選択されることによって、遅延転送クロック(1)1402が生

成される。このようにして生成された遅延転送クロック

(1)1402は遅延回路1501-2に入力する。ここで遅延回路1501-2は遅延回路1501-1と全く等しい回路であり、遅延制御信号は共通なため、遅延回路1501-1の遅延時間と遅延回路1501-2の遅延時間は等しくなる。このように遅延回路1501-2を介することで、遅延転送クロック(2)1503を生成する。遅延転送クロック(2)1503と前記反転信号1505はエッジ比較回路1506に入力する。エッジ比較回路1506は、図17に示すような構成であり、入力信号同士の位相差が、遅延回路1701-1と1701-2によって決定される遅延時間の範囲内であれば、即ちデジタル的に1503と1505の位相差が周期の倍数となったとみなされ、位相進み信号1507-upと位相遅れ信号1507-dwnは共にロウレベルとなり、入力転送クロック(2)1503が反転信号1505に対して遅延回路1701-1による遅延時間分よりも進んでいれば1507-upがハイレベル、反転信号1505が入力転送クロック(2)1503に対して遅延回路1701-2による遅延時間分よりも進んでいれば1507-dwnがハイレベルとなる。尚、この回路は実質的に第一の実施例におけるエッジ比較回路607、608と同等の意味を有するが、本実施例においては位相差の幅に関する情報は大きな意味をゆうしないため、図17に示した回路を用いることができる。

【0047】位相進み信号1507-upと位相遅れ信号1507-dwnは遅延信号1509と共にアップ/ダウンカウンタ1510に入力する。アップ/ダウンカウンタ1510は位相進み信号1507-upがハイレベルである場合にはカウントアップ動作を、位相遅れ信号1507-dwnがハイレベルである場合にはカウントダウン動作を遅延信号1509に基づき行う。従って、図18の動作タイミング図に示すように、位相進み信号1507-upがハイレベルであるときは、カウント信号1511は3、4、5とカウントアップ動作を行い、1507-up、1507-dwnが共にロウレベルとなると、カウント動作を停止し、その計数値を保持する。以上のようにして生成された $n$ ビットのカウント信号1511はデコーダ1512で、 $2^n$ ビットにデコードされ、遅延制御信号1502を生成する。以上の動作によって、入力転送クロック102の立ち上がりに対して遅延信号(3)1503の立ち上がりエッジがある範囲内に入ることによって立ち上がりエッジが一致したとみなされる場合には、その状態を保持することができる。

【0048】ここで、遅延回路1501-1と1501-2は同じ回路であるため、遅延回路1501-1で生成される遅延転送クロック(1)1402の立ち上がりエッジは入力転送クロック102のハイレベル期間の半分ずれた位置となる。

【0049】次にデューティ再生回路1403の動作に

ついて、図19、20を用いて説明する。図19において、遅延転送クロック(1)1402はラッチ回路1913と共に遅延回路1901-1に転送される。遅延回路1901-1は遅延回路1501-1と同じく図16に示す構成であり、遅延制御信号1902によって、只一つのスイッチング回路が選択されることによって、リセット信号1903が生成される。このようにして生成されたリセット信号1903はラッチ回路1913のクリア信号として適用されると共に、遅延回路1901-2に inputs する。ここで遅延回路1901-1と1901-2と全く等しい回路であり、遅延制御信号は共通なため、遅延回路1901-1の遅延時間と遅延回路1901-2の遅延時間は等しくなる。ここで遅延制御信号1902の生成方法は、図15を用いて説明した第一遅延回路1401の場合と同等である。ラッチ回路1913は、遅延転送クロック(1)1402の立ち上がりエッジでハイレベルをラッチし、クリア信号1903の立ち上がりでロウレベルにクリアされるため、その出力である再生転送信号108は、図20に示すように入力転送信号102と等しい周期であり、且つデューティが50%である信号となる。更に、遅延転送クロック(1)1402は入力転送クロック102に対してハイレベル幅の半周期分位相がずれているため、再生転送クロック108も又、入力転送クロック102のハイレベル幅の半周期分位相がずれ、目的の信号を生成することが可能となる。このようにして生成された再生転送クロック108は更に第二遅延回路1405に inputs する。第二遅延回路1405は第一遅延回路1401と全く同様の機能を有し、入力信号のハイレベルの半周期分ずらした信号を出力する。ここで第二遅延回路1405の入力信号となる再生転送クロック1404は、デューティが50%であるため、再生転送クロック108は再生転送クロック1404に対して1/4周期分位相のずれた信号となり、前記2信号を排他的論理和回路1406でEXOR演算することで、ラッチクロック109の生成を行う。

【0050】以上のによって、入力転送クロック102に対して、周期が等しくデューティが50%であり、且つ入力転送クロック102のデューティ差の半分の時間だけ速く(又は遅く)立ち上がり、遅く(又は速く)立ち下がる信号を生成することが可能となり、従って第一の実施例と同等の効果を有する再生転送クロックをデジタル回路のみで構成することが可能となる。

【0051】尚、本発明においては液晶表示装置において、特にデータドライバを直列に接続したカスケード接続に限って説明してきたが、本発明は勿論これに限ったことはなく、データドライバを並列に接続した方式においても適用することが可能である。さらに本発明は液晶表示装置に限ることはなく、伝送線や入出力バッファを有することでデータのデューティが変化する恐れのある

全ての装置に対して適用可能であることは言うまでもない。

## 【0052】

【発明の効果】以上で説明したように、本発明によれば、データドライバに転送クロックの再生回路を設けることによって、自段のドライバにおいて表示データの取り込みを容易なものとすると共に、次段のドライバへ転送信号及び表示データのデューティを変えることなく転送することが可能となることから、より多くのデータドライバを接続することができ、更に表示データのセットアップ/ホールドマージンを増加させることが可能となることから、転送周波数を上昇させることが可能となり、これらによって低価格化を実現できるカスケード方式の液晶表示装置においても大画面化、高精細化を実現できる。

## 【図面の簡単な説明】

【図1】第一の実施例におけるデータドライバの構成を示すブロック図

【図2】従来例におけるデータドライバの構成を示すブロック図

【図3】データバスにおける信号波形の変化を示す図

【図4】従来例のデータバスにおける信号波形の変化を示す図

【図5】本発明における液晶表示装置の構成を示す図

【図6】クロック再生回路の構成を示す図

【図7】位相比較回路の構成を示す図

【図8】位相比較回路の動作を示す図

【図9】エッジ判別回路の構成を示す図

【図10】VCOの構成を示す図

【図11】バイアス電圧とVCO発振周波数の関係を示す図

【図12】クロック再生回路のタイミング関係を示す図

【図13】データドライバのタイミング関係を示す図

【図14】第二の実施例におけるクロック再生回路の構成を示す図

【図15】第一遅延回路の構成を示す図

【図16】遅延回路の構成を示す図

【図17】エッジ比較回路の構成を示す図

【図18】第一遅延回路の動作を示すタイミング図

【図19】デューティ再生回路の構成を示す図

【図20】デューティ再生回路の動作を示すタイミング図

## 【符号の説明】

101…データドライバ、102…入力転送クロック、103…入力表示データ、104…入力イネーブル信号、105…入力液晶印加信号、106…入力液晶基準電圧、107…クロック再生回路、108…再生転送クロック、109…ラッチクロック、110…イネーブル制御回路、111…ラッチアドレス開始信号、112…出力開始信号、113…出力イネーブル信号、114…

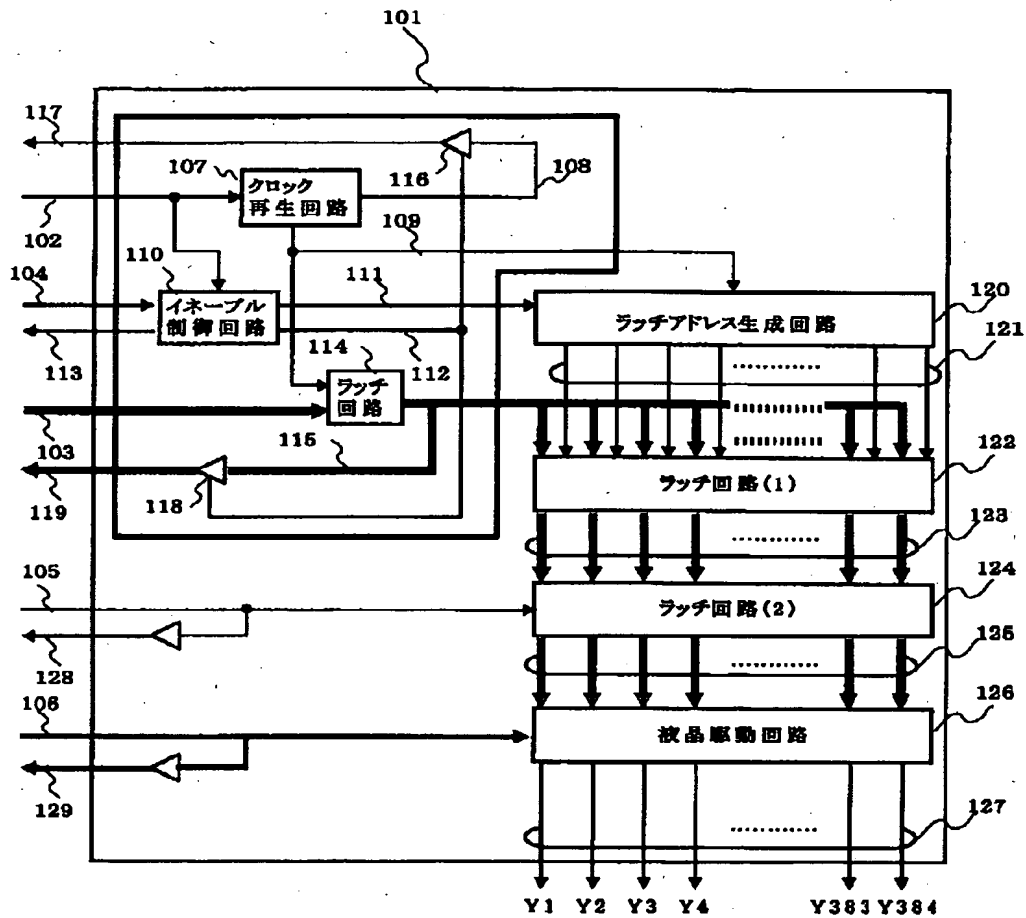


20

【図 6】

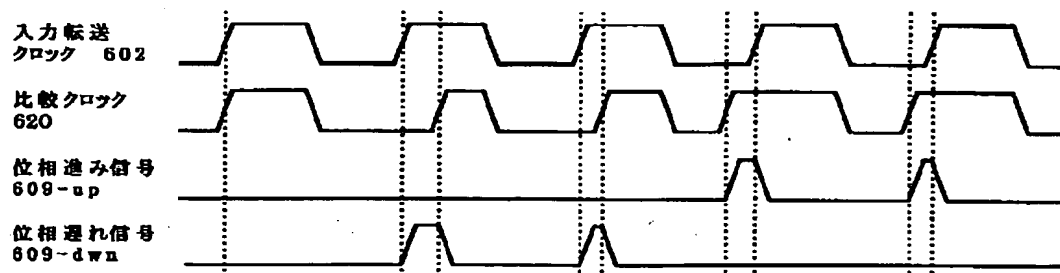
【図 1】

図 1 本発明のデータドライバの構成を示すブロック図



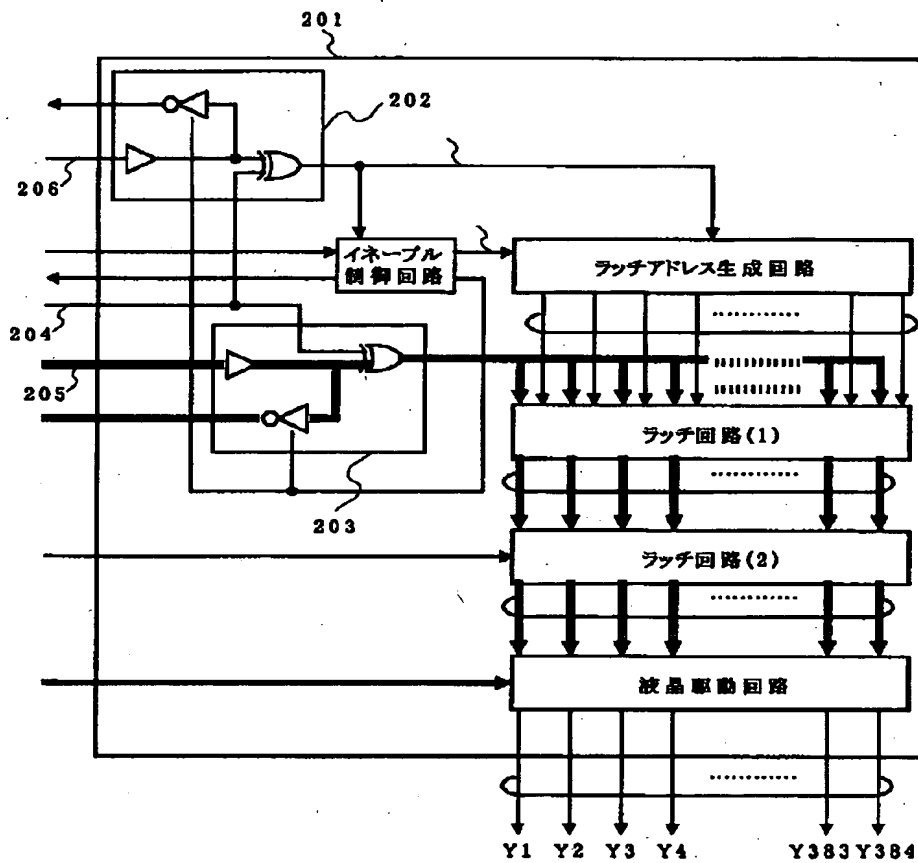
【図 8】

図 8 位相比較回路の動作を示す図



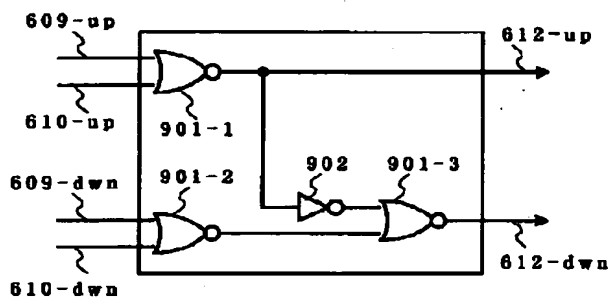
【図2】

図2 従来例におけるデータドライバの構成を示すブロック図



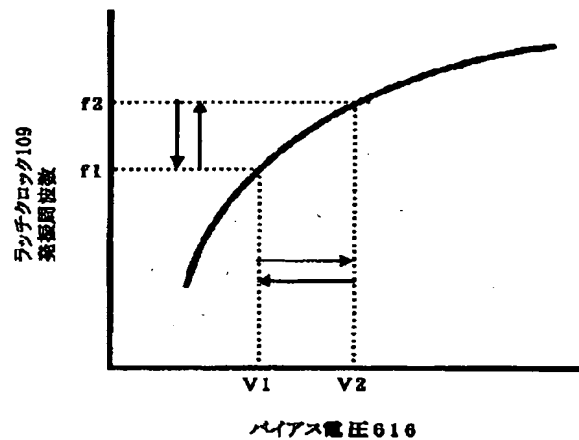
【図9】

図9 エッジ判別回路の構成を示す図



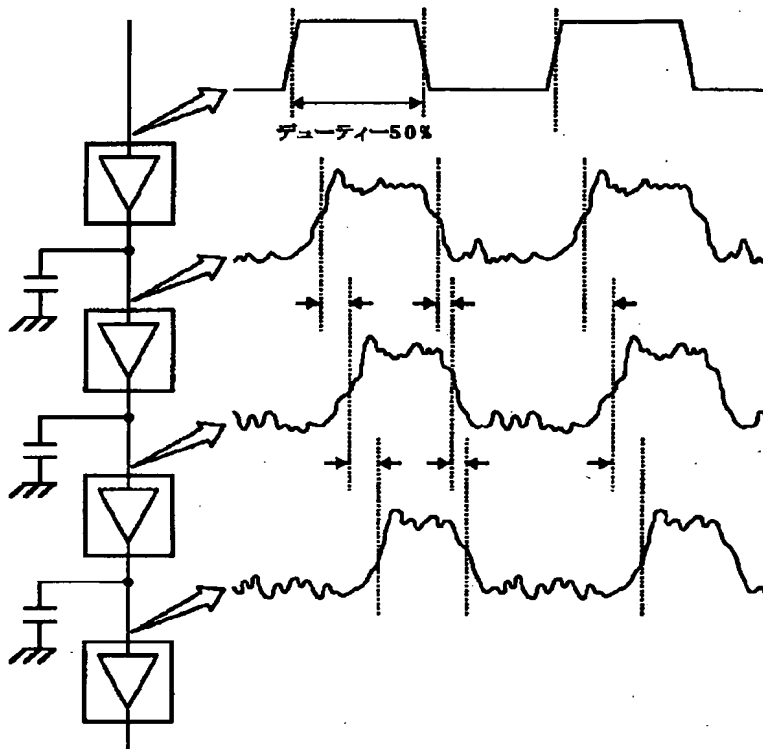
【図11】

図11 バイアス電圧とVCO発振周波数の関係を示す図



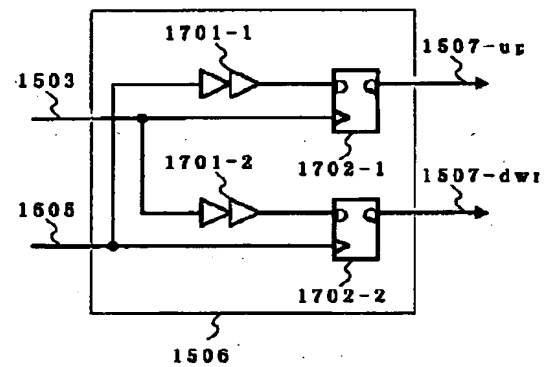
【図3】

図3 データバスにおける信号波形の変化を示す図



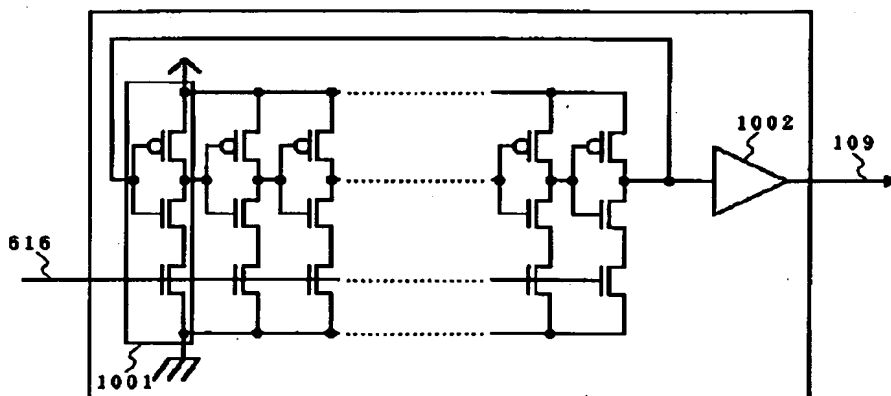
【図17】

図17 エッジ比較回路の構成を示す図



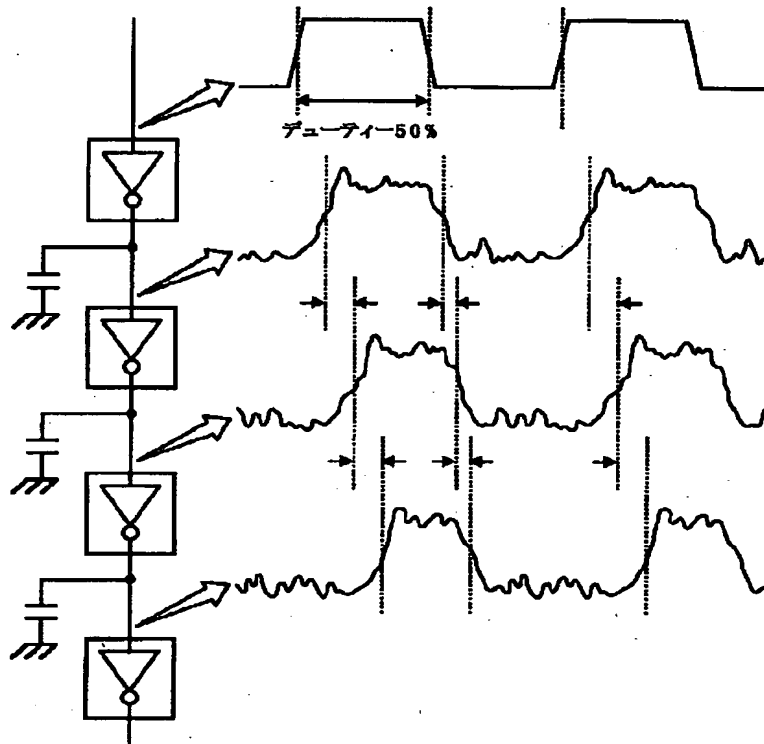
【図10】

図10 VCOの構成を示す図



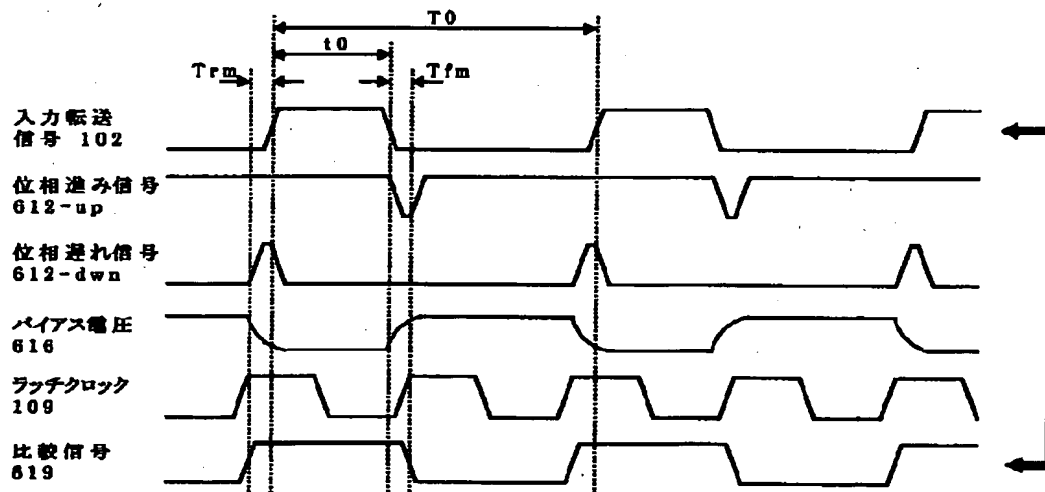
【図4】

図4 従来例のデータバスにおける信号波形の変化を示す図



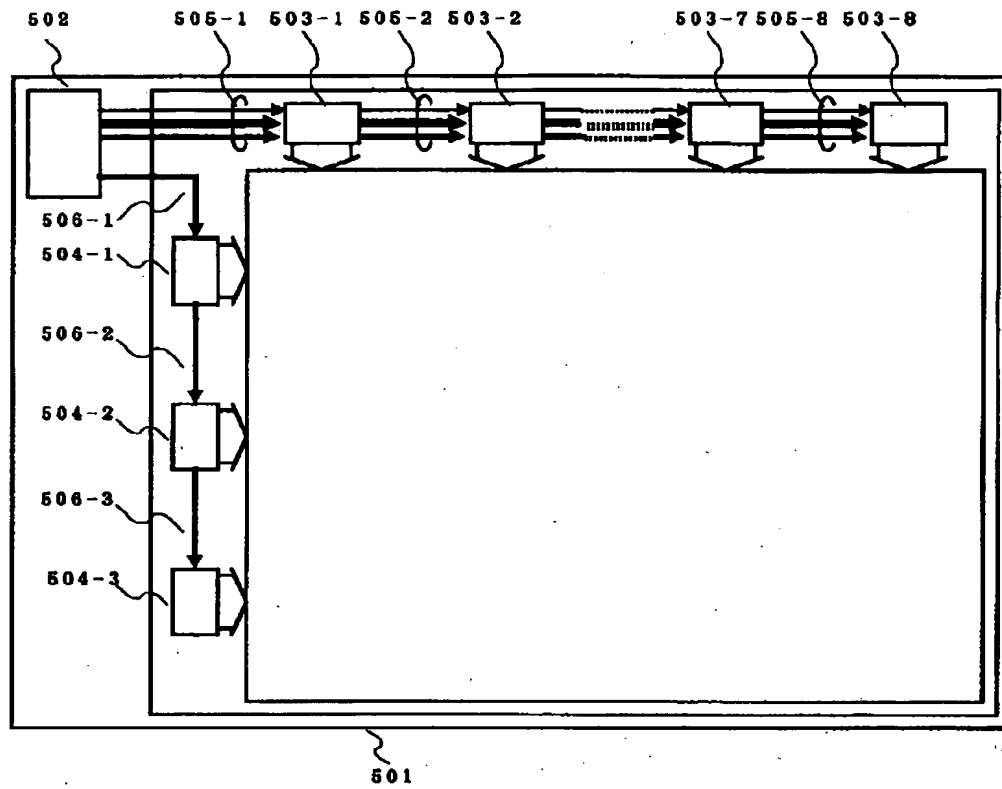
【図12】

図12 第一の実施例におけるクロック再生回路のタイミング関係を示す図



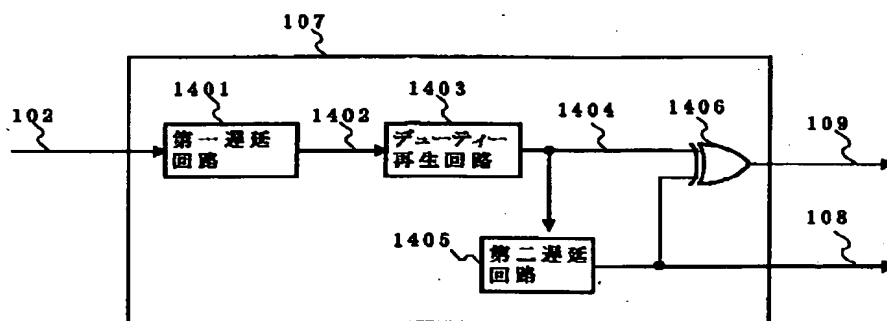
【図 5】

図 5 本発明における液晶表示装置の構成を示す図



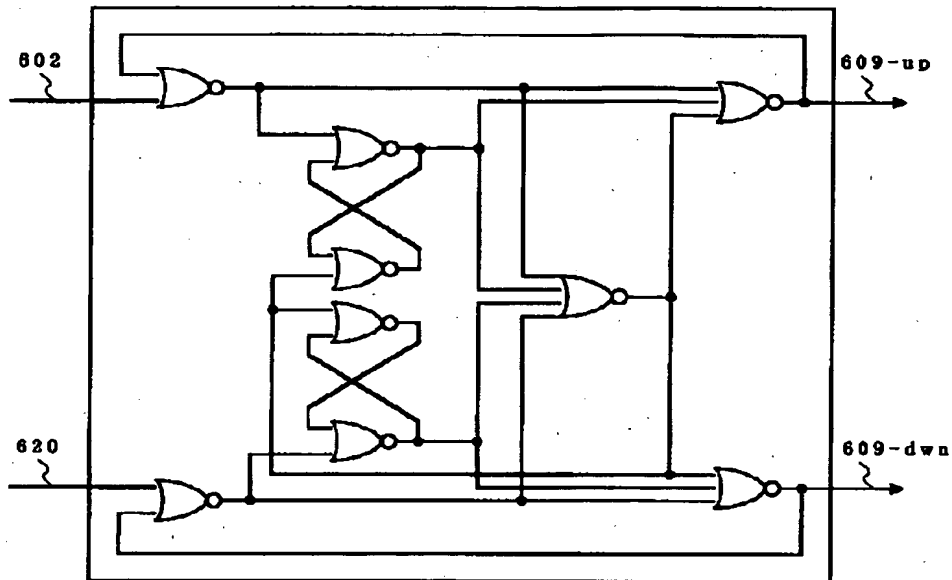
【図 14】

図 14 クロック再生回路の構成を示す図



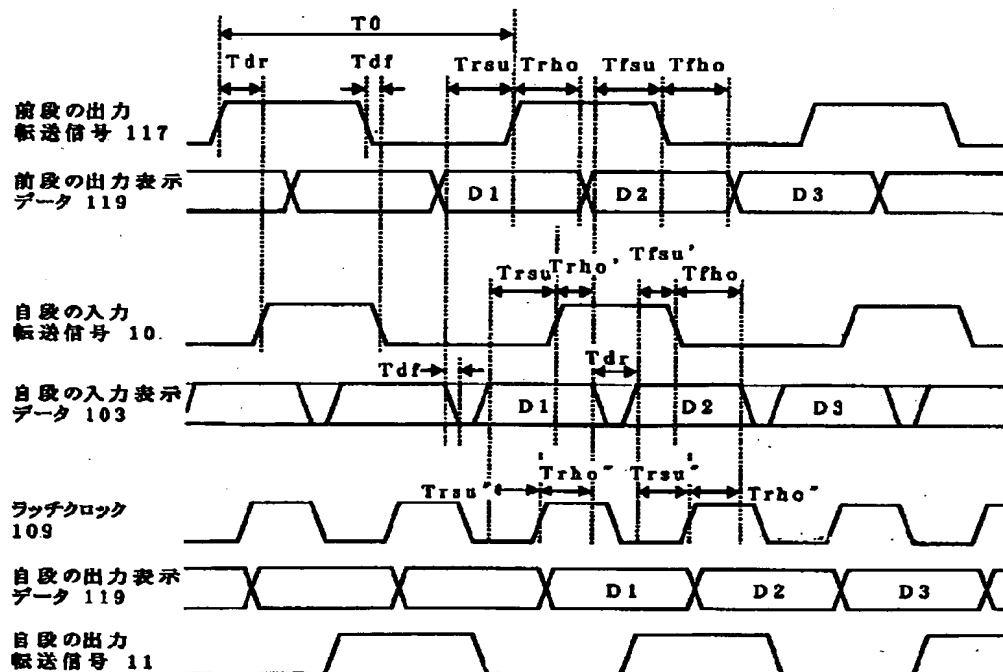
【図7】

図7 位相比較回路の構成を示す図



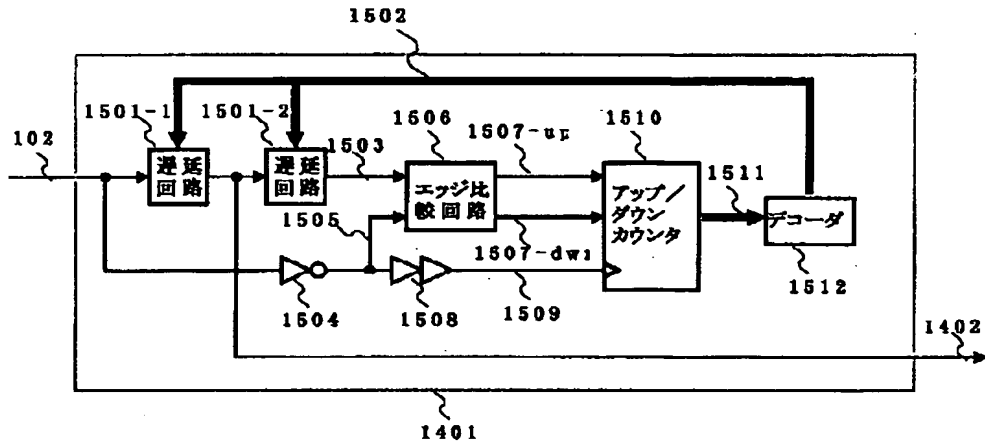
【図13】

図13 第一の実施例におけるデータドライバのタイミング関係を示す図



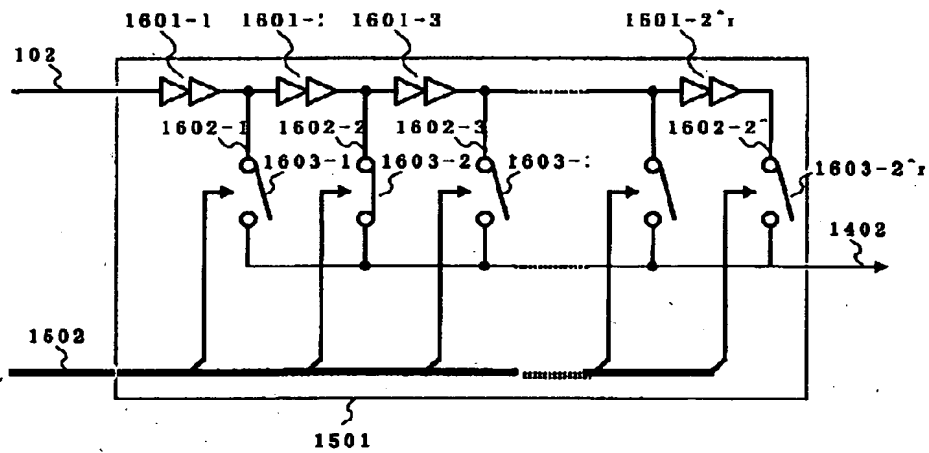
【図15】

図15 第一遅延回路の構成を示す図



【図16】

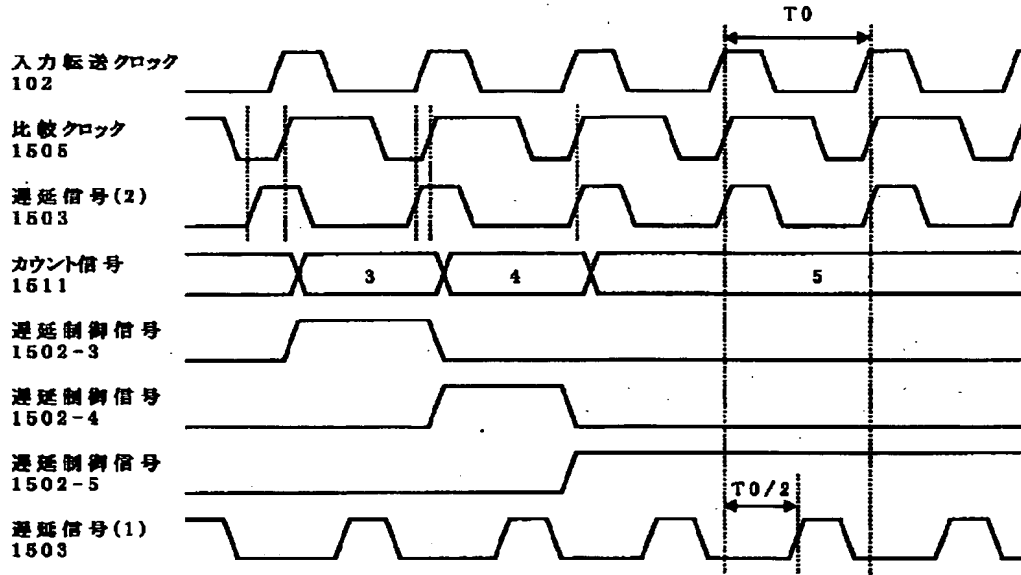
図16 遅延回路の構成を示す図





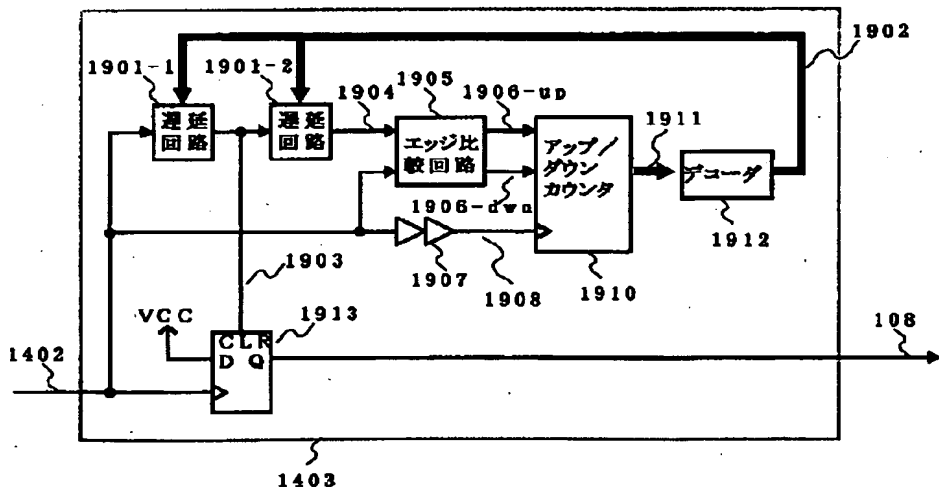
【図18】

図18 第一遅延回路の動作を示すタイミング図



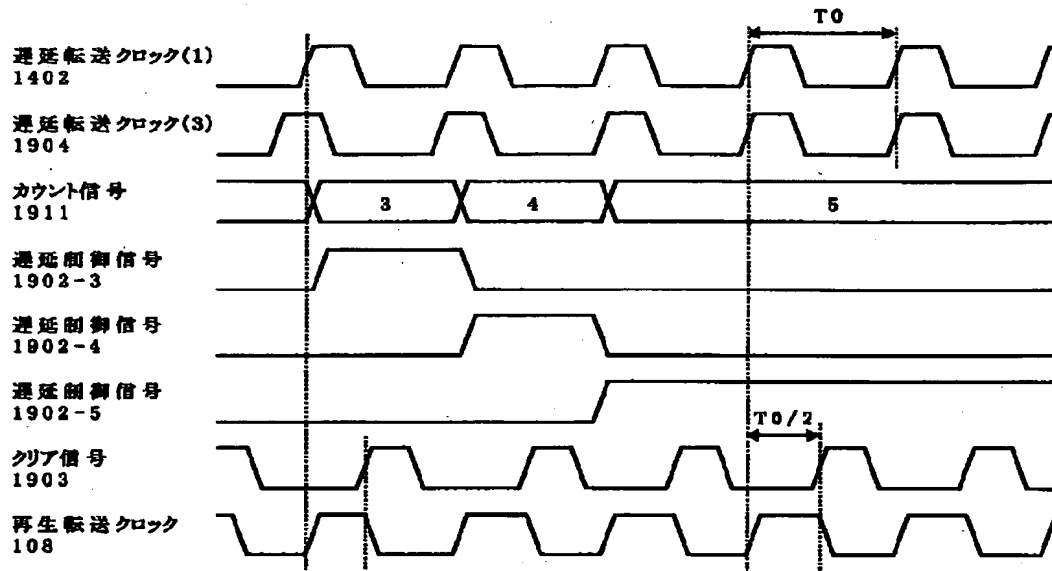
【図19】

図19 デューティ再生回路の構成を示す図



【図 20】

図 20 デューティ再生回路の動作を示すタイミング図



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 3 3

F I

G 0 9 G 3/20

テーマコード (参考)

6 3 3 U

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 渡邊 明洋

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72) 発明者 奥 博文

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(72) 発明者 恒川 悟

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

F ターム (参考) 2H093 NA10 NA32 NA33 NA43 NA51

NA80 NC16 NC22 NC23 NC26

NC27 NC59 NC90 ND32 ND34

ND36 ND52

5C006 AA21 AF50 AF72 BB16 BC02

BC12 BC16 BC20 BF04 BF14

BF26 FA13 FA37

5C080 AA10 BB05 CC03 FF11 JJ02

JJ03 JJ04 JJ05

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-345310  
(P2003-345310A)

(43) 公開日 平成15年12月3日 (2003.12.3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 J 5 C 0 8 0
	6 2 1		6 2 1 M
	6 2 3		6 2 3 D

審査請求 未請求 請求項の数10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2002-149929 (P2002-149929)

(22) 出願日 平成14年5月24日 (2002.5.24)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 熊谷 正雄

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 鶴戸 真也

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100092152

弁理士 服部 毅巖

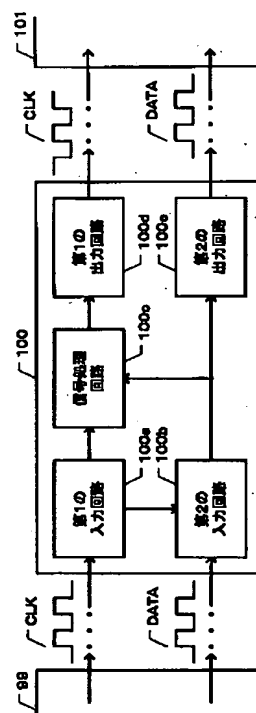
最終頁に続く

(54) 【発明の名称】 半導体装置、表示装置および信号伝送システム

(57) 【要約】

【課題】 カスケード接続された複数のデータドライバを有する表示装置において、誤差が累積され信号のデューティー比が変化することを防止する。

【解決手段】 第1の入力回路100aは、外部から供給された第1の信号を入力する。第2の入力回路100bは、外部から供給された第2の信号を、第1の入力回路100aから入力された第1の信号に応じて入力する。信号処理回路100cは、第2の入力回路100bから入力された第2の信号に基づいて信号処理を行う。第1の出力回路100dは、第1の入力回路100aから入力された第1の信号を反転して出力する。第2の出力回路100eは、第2の入力回路100bから入力された第2の信号を所定量だけ遅延して出力する。



## 【特許請求の範囲】

【請求項 1】 外部から供給された第 1 の信号を入力する第 1 の入力回路と、

外部から供給された第 2 の信号を、前記第 1 の入力回路から入力された前記第 1 の信号に応じて入力する第 2 の入力回路と、

前記第 2 の入力回路から入力された前記第 2 の信号に基づいて信号処理を行う信号処理回路と、

前記第 1 の入力回路から入力された前記第 1 の信号を反転して出力する第 1 の出力回路と、

前記第 2 の入力回路から入力された前記第 2 の信号を所定量だけ遅延して出力する第 2 の出力回路と、

を有することを特徴とする半導体装置。

【請求項 2】 前記第 1 の信号はクロック信号であり、前記第 2 の信号はデータ信号であり、

前記第 2 の出力回路は、前記クロック信号の半サイクル分だけ前記データ信号を遅延して出力する、

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 の出力回路は、前記データ信号をラッチ回路を用いることにより遅延することを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記データ信号は、前記クロック信号の立ち上がりおよび立ち下がりエッジに対応する位置に一組の情報が重畳されており、

前記信号処理回路は、前記一組の情報のうち、先に入力される情報については、前記ラッチ回路によって遅延されたデータ信号から取得し、後に入力される情報については、前記ラッチ回路によって遅延される前のデータ信号から取得する、

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記データ信号の取り込みを示すスタート信号を入力する第 3 の入力回路と、

前記第 3 の入力回路から入力された前記スタート信号を前記クロック信号の前記データ信号の取り込みに必要なサイクル数分だけ遅延して出力する第 3 の出力回路と、を更に有することを特徴とする請求項 2 記載の半導体装置。

【請求項 6】 表示パネルと、前記表示パネルのゲートバスラインを駆動するゲートドライバと、前記表示パネルのデータバスラインを駆動するカスケード接続された複数のデータドライバとを有する表示装置において、前記データドライバは、

前段から供給された第 1 の信号を入力する第 1 の入力回路と、

前段から供給された第 2 の信号を、前記第 1 の入力回路から入力された前記第 1 の信号に応じて入力する第 2 の入力回路と、

前記第 2 の入力回路から入力された前記第 2 の信号に基づいて信号処理を行う信号処理回路と、

前記第 1 の入力回路から入力された前記第 1 の信号を反

転して出力する第 1 の出力回路と、

前記第 2 の入力回路から入力された前記第 2 の信号を所定量だけ遅延して出力する第 2 の出力回路と、

を有することを特徴とする表示装置。

【請求項 7】 前記第 1 の信号はクロック信号であり、前記第 2 の信号はデータ信号であり、

前記第 2 の出力回路は、前記クロック信号の半サイクル分だけ前記データ信号を遅延して出力する、

ことを特徴とする請求項 6 記載の表示装置。

10 【請求項 8】 前記第 2 の出力回路は、前記データ信号をラッチ回路を用いることにより遅延することを特徴とする請求項 7 記載の表示装置。

【請求項 9】 前記データ信号は、前記クロック信号の立ち上がりおよび立ち下がりエッジに対応する位置に一組の情報が重畳されており、

前記信号処理回路は、前記一組の情報のうち、先に入力される情報については、前記ラッチ回路によって遅延されたデータ信号から取得し、後に入力される情報については、前記ラッチ回路によって遅延される前のデータ信号から取得する、

ことを特徴とする請求項 8 記載の表示装置。

【請求項 10】 カスケード接続された複数の半導体装置を有し、入力された信号を順次伝送する信号伝送システムにおいて、

前記各半導体装置は、

前段から供給された第 1 の信号を入力する第 1 の入力回路と、

前段から供給された第 2 の信号を、前記第 1 の入力回路から入力された前記第 1 の信号に応じて入力する第 2 の入力回路と、

30 前記第 2 の入力回路から入力された前記第 2 の信号に基づいて信号処理を行う信号処理回路と、

前記第 1 の入力回路から入力された前記第 1 の信号を反転して出力する第 1 の出力回路と、

前記第 2 の入力回路から入力された前記第 2 の信号を所定量だけ遅延して出力する第 2 の出力回路と、

を有することを特徴とする信号伝送システム。

## 【発明の詳細な説明】

## 【0001】

40 【発明の属する技術分野】本発明は半導体装置、表示装置および信号伝送システムに関し、特に、カスケード接続されて信号を処理する半導体装置、表示装置および信号伝送システムに関する。

## 【0002】

【従来の技術】例えば、液晶表示装置 (Liquid Crystal Display: LCD) では、トランジスタを含む画素が縦横に配置され、横方向に延びるゲートバスラインが各画素のトランジスタのゲートに接続され、縦方向に延びるデータバスラインがトランジスタを介して各画素のコンデンサに接続される。液晶パネルにデータを表示する際

## 3

には、ゲートドライバによりゲートバスラインを1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通されたトランジスタを介して、データドライバから各画素に横1ライン分のデータを一斉に書き込む。

【0003】従来の一般的な構成では、LCDデータドライバは表示データ信号やクロック信号等を伝播するバスに共通に接続される。このような構成では、信号配線が互いに交差するために、実装時の基板の層数が多くなってしまうという問題がある。そこで基板の層数を少なくするために、LCDデータドライバをカスケード接続して、各LCDデータドライバからの出力を次段のLCDデータドライバに供給する方式が用いられる。

【0004】カスケード接続構成は、LCDデータドライバを直列に接続する形態のため実装時の信号配線が交差することなく、基板の層数を減らすことができる。これにより基板を低コストで製造することが可能となる。

【0005】図9は、カスケード接続構成を有する従来の液晶表示装置の一例を示す図である。この例は、LCDパネル10、制御回路11、ゲートドライバ12、データドライバIC13および信号線15によって構成されている。

【0006】ここで、LCDパネル10には、図示せぬトランジスタを含む画素が縦横に配置され、ゲートドライバ12から横方向に延びるゲートバスラインが各画素のトランジスタゲートに接続され、データドライバIC13から縦方向に延びるデータバスラインがトランジスタを介して各画素のコンデンサに接続される。

【0007】LCDパネル10にデータを表示する際には、ゲートドライバ12によりゲートバスラインを1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通状態にされたトランジスタを介して、データドライバIC13から各画素に横1ライン分のデータを一斉に書き込む。

【0008】制御回路11は、ゲートドライバ12とデータドライバIC13とを制御して、LCDパネル10に対するデータ表示を行うための回路である。この制御回路11により出力された信号は、データドライバIC13を介して次段のデータドライバIC13に供給され、以降順次、各段のデータドライバIC13から次段のデータドライバIC13に信号が供給される。

【0009】ゲートドライバ12は、制御回路11の制御に応じて、ゲートバスラインを1ラインずつ駆動し、1ライン分のトランジスタを順次導通状態にする。データドライバIC13は、カスケード接続されており、制御回路11から供給されたデータのうち、表示対象となるデータをクロック信号に同期してラッチし、LCDパネル10に供給するとともに、次のデータドライバIC13に供給する。

【0010】図10は、データドライバIC13の詳細

## 4

な構成例を示す図である。この図に示すように、データドライバIC13は、入力バッファ20~23、カウンタ24、クロック制御回路25、DATA制御回路26、ラッチ回路27および出力バッファ28~31によって構成されている。

【0011】ここで、入力バッファ20は、スタート(START)信号が入力される。入力バッファ21は、クロック(CLK)信号が入力される。入力バッファ22は、リセット(RESET)信号が入力される。入力バッファ23は、データ(DATA)信号が入力される。

【0012】カウンタ24は、クロック制御回路25から出力されるクロック信号をカウントし、所定のカウンタ値になった場合には、出力バッファ28に供給しているスタート信号をアクティブの状態にする。

【0013】クロック制御回路25は、クロック信号、スタート信号、および、リセット信号に応じてカウンタ24、DATA制御回路26およびラッチ回路27を制御するとともに、出力バッファ29にクロック信号を供給する。

【0014】DATA制御回路26は、入力バッファ23を介して入力されたデータ信号を、クロック制御回路25から供給されるクロック信号に同期してラッチし、ラッチ回路27に供給する。

【0015】ラッチ回路27は、DATA制御回路26から供給されたデータ信号をラッチしてLCDパネル10に供給する。出力バッファ28は、カウンタ24から出力されたスタート信号を次のデータドライバIC13に供給する。

【0016】出力バッファ29は、クロック制御回路25から出力されたクロック信号を次のデータドライバIC13に供給する。出力バッファ30は、入力バッファ22から入力されたリセット信号を次のデータドライバIC13に供給する。

【0017】出力バッファ31は、DATA制御回路26から出力されたデータ信号を次のデータドライバIC13に供給する。図11は、DATA制御回路26の詳細な構成例を示す図である。この図に示すように、DATA制御回路26は、破線で囲繞されている入力回路40と出力回路44から構成され、データ信号をクロック信号の立ち上がりエッジと立ち下がりエッジに同期してラッチし、LCDパネル10に供給するとともに、ラッチされたこれらの信号を再度合成して出力する。

【0018】ここで、入力回路40は、インバータ41およびDFF(Data Flip Flop)42、43によって構成されており、DFF42は、クロック信号の立ち下がりエッジに同期して、また、DFF43はクロック信号の立ち上がりエッジに同期してデータ信号をラッチし、ラッチ回路27と出力回路44にそれぞれ供給する。

【0019】出力回路44は、インバータ45、46お

よびNANDゲート47~49によって構成され、DF  
F42, 43によってラッチされたデータ信号をクロッ  
ク信号に同期して合成し、出力する。

【0020】図12は、カウンタ24の詳細な構成例を  
示す図である。この図に示すように、カウンタ24は、  
DATA信号の取り込みに必要なCLK数 $n+1$ 個のD  
FF50-1~50-n, 51およびインバータ52か  
らなるシフトレジスタにより構成され、次段のICに前  
段からのクロック信号と、データ信号を取り込み始める  
タイミングを通知する機能をもつ。

【0021】次に、以上の従来例の動作について説明す  
る。制御回路11に映像信号が入力されると、制御回路  
11は、リセット信号を出力し、データドライバIC1  
3に供給する。

【0022】その結果、各データドライバIC13は、  
この信号を入力バッファ22を介して読み込み、クロッ  
ク制御回路25およびカウンタ24をリセットした後、  
出力バッファ30を介して次のデータドライバIC13  
に供給する。その結果、データドライバIC13は次々  
とリセットされることになる。

【0023】続いて、クロック信号およびデータ信号が  
出力されると、データドライバIC13は、入力バッフ  
ァ21および入力バッファ23を介してこれらの信号を  
読み込み(図13(A), (B)参照)、クロック制御  
回路25およびDATA制御回路26にそれぞれ供給す  
る。

【0024】スタート信号が入力されると、DATA制  
御回路26のDFF43は、クロック信号の立ち上がり  
エッジに同期してデータ信号をラッチし、A信号(図1  
3(C)参照)としてラッチ回路27へ出力する。一  
方、DFF42は、クロック信号の立ち下がりエッジに  
同期してデータ信号をラッチし、B信号(図13(D)  
参照)としてラッチ回路27へ出力する。

【0025】ラッチ回路27は、DATA制御回路26  
から供給されたデータをラッチし、LCDパネル10に  
供給する。カウンタ24は、リセット信号によってリセ  
ットされた後、クロック信号をカウントし、クロック信  
号の $(n-1)+0.5$ サイクルが経過した場合には、  
出力バッファ28に供給するスタート信号を“H”の状  
態にする。

【0026】出力バッファ29および出力バッファ31  
は、クロック信号およびデータ信号を次のデータドライ  
バIC13に出力する(図13(E), (F)参照)。  
以上のようにして、制御回路11から出力されたデータ  
信号はクロック信号に同期してそれぞれのデータドライ  
バIC13に順次ラッチされ、LCDパネル10に供給  
されることになる。

【0027】ゲートドライバ12は、LCDパネル10  
の所定のゲートバスラインを駆動し、1ライン分のトラ  
ンジスタを導通状態にする。その結果、データドライバ

IC13から供給されたデータがLCDパネル10の所  
定のライン上に表示されることになる。

【0028】

【発明が解決しようとする課題】ところで、このように  
データドライバIC13をカスケード接続した場合、あ  
るドライバデバイスに信号が入力されると、出力バッフ  
ァを介して次段のドライバデバイスにその信号が供給さ  
れる。この際、バッファにおける信号立ち上がりの信号  
遅延と信号立下りの信号遅延とは製造プロセスに起因  
する差があり、入力される信号と出力される信号とでは  
デューティ比が若干異なるものとなってしまう。

【0029】同様の遅延特性を有するデータドライバ1  
3をカスケード接続した場合、信号が各データドライバ  
IC13を通過するたびにデューティ比の誤差が蓄積  
され、多段のドライバを通過した後は、無視できない  
ほどのデューティ比の誤差が生じる場合がある。例え  
ばSXGAのLCDパネルでは、10個のデータドライ  
バIC13がカスケード接続されており、累積されるデ  
ューティ比の誤差によって、信号が正常な形を保って  
伝搬されない可能性がある。

【0030】図14は、10個のデータドライバIC1  
3がカスケード接続されている場合において、各データ  
ドライバIC13へのクロック信号の入力波形を示した  
図である。この図(A)に示すように、入力時には矩形  
波を保っていたクロック信号もデータドライバIC13  
を経由するたびに“H”の状態が引き延ばされて、  
“L”の状態が短縮されている。

【0031】このように、クロック信号のデューティ  
比が当初の入力波形とは異なったものになってしまうた  
め、データドライバIC13が正常に動作しない場合が  
あるという問題点があった。

【0032】そこで、本願発明者は、先の出願におい  
て、各データドライバIC13においてクロック信号の  
出力を反転させることにより、デューティ比の誤差が  
累積されない集積回路を提案している(特願平2002  
-19518)。

【0033】図15は、先の出願の発明の詳細を説明す  
る図である。この図に示すように、先の出願の集積回路  
は、LCDパネル10、制御回路11、ゲートドライバ  
12およびデータドライバIC16によって構成されて  
いる。なお、図9の場合と比較すると、データドライバ  
IC13がデータドライバIC16に置換されており、  
また、各データドライバIC16には、奇数番目のIC  
にはGND信号が、偶数番目のICにはVDD信号が奇  
遇切換信号として入力されている。それ以外の構成は、  
図9の場合と同様である。

【0034】図16は、図15に示すデータドライバI  
C16の詳細な構成例を示す図である。この図に示すよ  
うに、データドライバIC16は、入力バッファ60~  
62、インバータ63、信号反転切換回路64、CLK

10

20

30

40

50

制御 65、DATA 制御 66、内部回路 67、インバータ 68、信号反転切換回路 69、インバータ 70 および出力バッファ 71、72 によって構成されている。

【0035】次に、以上の発明の動作について簡単に説明する。入力バッファ 62 には、その接続位置に応じて GND 信号または VDD 信号が入力されているので、信号反転切換回路 64、69 は、入力される信号の状態に応じて一方の入力端子を選択する。

【0036】図 17 は、奇数番目に接続されているデータドライバ IC 16 の接続状態を示す図である。この図に示すように、奇数番目のデータドライバ IC 16 では、奇数切換信号として、GND 信号が入力されているので、信号反転切換回路 64 は、入力バッファ 60 の出力を選択し、また、信号反転切換回路 69 は、インバータ 68 の出力を選択している。

【0037】図 18 は、偶数番目に接続されているデータドライバ IC 16 の接続状態を示す図である。この図に示すように、偶数番目のデータドライバ IC 16 では、奇数切換信号として、VDD 信号が入力されているので、信号反転切換回路 64 は、インバータ 63 の出力を選択し、また、信号反転切換回路 69 は、CLK 制御 65 の出力を選択している。

【0038】従って、奇数番目のデータドライバ IC 16 では、入力されたクロック信号は、そのままの状態 CLK 制御 65 に供給された後、インバータ 68 で反転されて出力される。

【0039】また、偶数番目のデータドライバ IC 16 では、入力されたクロック信号は、インバータ 63 により反転された状態で CLK 制御 65 に供給された後、そのままの状態 で出力される。

【0040】その結果、図 19 に示すように、各データドライバ IC 16 の CLK 制御 65 を経由することにより、“H”の部分の割合が増大した信号は反転して出力されることから、デューティ比の誤差が相殺されるため、複数のデータドライバ IC 16 を経由した場合でもデューティ比の誤差が蓄積されることを防止することが可能になる。

【0041】しかしながら、このような構成では、各データドライバ IC 16 に対して GND 信号または VDD 信号を供給する必要があるため、装置の構成が複雑化してしまうという問題点があった。

【0042】本発明はこのような点に鑑みてなされたものであり、装置の構造を複雑化することなく、デューティ比の誤差の蓄積がない半導体装置、表示装置および信号伝送システムを提供することを目的とする。

【0043】

【課題を解決するための手段】本発明では上記課題を解決するために、図 1 に示す、外部から供給された第 1 の信号を入力する第 1 の入力回路 100 a と、外部から供給された第 2 の信号を、前記第 1 の入力回路 100 a か

ら入力された前記第 1 の信号に応じて入力する第 2 の入力回路 100 b と、前記第 2 の入力回路 100 b から入力された前記第 2 の信号に基づいて信号処理を行う信号処理回路 100 c と、前記第 1 の入力回路 100 a から入力された前記第 1 の信号を反転して出力する第 1 の出力回路 100 d と、前記第 2 の入力回路 100 b から入力された前記第 2 の信号を所定量だけ遅延して出力する第 2 の出力回路 100 e と、を有することを特徴とする半導体装置が提供される。

10 【0044】ここで、第 1 の入力回路 100 a は、外部から供給された第 1 の信号を入力する。第 2 の入力回路 100 b は、外部から供給された第 2 の信号を、第 1 の入力回路 100 a から入力された第 1 の信号に応じて入力する。信号処理回路 100 c は、第 2 の入力回路 100 b から入力された第 2 の信号に基づいて信号処理を行う。第 1 の出力回路 100 d は、第 1 の入力回路 100 a から入力された第 1 の信号を反転して出力する。第 2 の出力回路 100 e は、第 2 の入力回路 100 b から入力された第 2 の信号を所定量だけ遅延して出力する。

20 【0045】また、本発明では、上記課題を解決するために、表示パネルと、前記表示パネルのゲートバスラインを駆動するゲートドライバと、前記表示パネルのデータバスラインを駆動するカスケード接続された複数のデータドライバとを有する表示装置において、前記データドライバは、前段から供給された第 1 の信号を入力する第 1 の入力回路と、前段から供給された第 2 の信号を、前記第 1 の入力回路から入力された前記第 1 の信号に応じて入力する第 2 の入力回路と、前記第 2 の入力回路から入力された前記第 2 の信号に基づいて信号処理を行う信号処理回路と、前記第 1 の入力回路から入力された前記第 1 の信号を反転して出力する第 1 の出力回路と、前記第 2 の入力回路から入力された前記第 2 の信号を所定量だけ遅延して出力する第 2 の出力回路と、を有することを特徴とする表示装置が提供される。

30 【0046】ここで、表示装置が有するデータドライバにおいて、第 1 の入力回路は、外部から供給された第 1 の信号を入力する。第 2 の入力回路は、外部から供給された第 2 の信号を、第 1 の入力回路から入力された第 1 の信号に応じて入力する。信号処理回路は、第 2 の入力回路から入力された第 2 の信号に基づいて信号処理を行う。第 1 の出力回路は、第 1 の入力回路から入力された第 1 の信号を反転して出力する。第 2 の出力回路は、第 2 の入力回路から入力された第 2 の信号を所定量だけ遅延して出力する。

40 【0047】また、本発明では、上記課題を解決するために、カスケード接続された複数の半導体装置を有し、入力された信号を順次伝送する信号伝送システムにおいて、前記各半導体装置は、前段から供給された第 1 の信号を入力する第 1 の入力回路と、前段から供給された第 2 の信号を、前記第 1 の入力回路から入力された前記第 50

1の信号に応じて入力する第2の入力回路と、前記第2の入力回路から入力された前記第2の信号に基づいて信号処理を行う信号処理回路と、前記第1の入力回路から入力された前記第1の信号を反転して出力する第1の出力回路と、前記第2の入力回路から入力された前記第2の信号を所定量だけ遅延して出力する第2の出力回路と、を有することを特徴とする信号伝送システムが提供される。

【0048】ここで、信号伝送システムが有する半導体装置において、第1の入力回路は、外部から供給された第1の信号を入力する。第2の入力回路は、外部から供給された第2の信号を、第1の入力回路から入力された第1の信号に応じて入力する。信号処理回路は、第2の入力回路から入力された第2の信号に基づいて信号処理を行う。第1の出力回路は、第1の入力回路から入力された第1の信号を反転して出力する。第2の出力回路は、第2の入力回路から入力された第2の信号を所定量だけ遅延して出力する。

【0049】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の動作原理を説明する原理図である。この図に示すように、本発明の半導体装置100は、半導体装置99、101とカスケード接続されており、前段の半導体装置99から出力されたクロック（CLK）信号と、データ（DATA）信号を入力し、所定の信号処理を実行した後、後段の半導体装置101に対してクロック信号とデータ信号を出力する。

【0050】ここで、半導体装置100は、第1の入力回路100a、第2の入力回路100b、信号処理回路100c、第1の出力回路100dおよび第2の出力回路100eによって構成されている。

【0051】ここで、第1の入力回路100aは、前段の半導体装置99から供給された第1の信号であるクロック信号を入力する。第2の入力回路100bは、前段の半導体装置99から供給された第2の信号であるデータ信号を、第1の入力回路100aから入力された第1の信号であるクロック信号に応じて入力する。

【0052】信号処理回路100cは、第2の入力回路100bから入力された第2の信号であるデータ信号に基づいて信号処理を行う。第1の出力回路100dは、第1の入力回路100aから入力された第1の信号であるクロック信号を反転して後段の半導体装置101に出力する。

【0053】第2の出力回路100eは、第2の入力回路100bから入力された第2の信号であるデータ信号を第1の信号であるクロック信号の半サイクル分だけ遅延して後段の半導体装置101に出力する。

【0054】次に、以上の原理図の動作について説明する。前段の半導体装置99から出力されたクロック信号

とデータ信号は、半導体装置100の第1の入力回路100aと第2の入力回路100bにそれぞれ供給される。

【0055】第1の入力回路100aは、半導体装置99から出力されたクロック信号を入力し、信号処理回路100cと第2の入力回路100bにそれぞれ供給する。第2の入力回路100bは、第1の入力回路100aから供給されたクロック信号に同期してデータ信号を入力し、信号処理回路100cと第2の出力回路100eにそれぞれ供給する。

【0056】信号処理回路100cは、第1の入力回路100aから供給されたクロック信号に同期して、第2の入力回路100bから供給されたデータ信号を取得して所定の処理を実行する。また、クロック信号については、第1の出力回路100dに供給する。

【0057】第1の出力回路100dは、信号処理回路100cから供給されたクロック信号を反転して出力する。その結果、入力されたクロック信号に比べて位相が180度ずれたクロック信号が後段の半導体装置101に供給される。

【0058】一方、第2の出力回路100eは、第2の入力回路100bから供給されたデータ信号をクロック信号の半サイクル分（180度）だけ遅延して出力する。その結果、入力されたデータ信号に比べて位相がクロック信号の半サイクル分の180度だけずれたデータ信号が後段の半導体装置101に出力される。

【0059】ところで、第1の出力回路100dにより入力されたクロック信号が反転されて出力されるため、図19に示す場合と同様に、“H”の部分の割合が増大したクロック信号が反転されて“L”の部分に変換されて出力されるため、デューティ比の誤差が累積されることを防止できる。

【0060】また、第2の出力回路100eにより、データ信号をクロック信号の半サイクル分だけ遅延して出力するようにしたので、反転されたクロック信号（180度だけ位相がずれた信号）と同期を取ることが可能になる。従って、図16に示す先の出願の発明のように信号反転切換回路64、69を設ける必要がなくなり、また、接続順位に応じてGND信号またはVDD信号を入力する必要がなくなる。

【0061】その結果、回路の構成を簡易化することが可能になるとともに、クロック信号のデューティ比に累積的な誤差が蓄積することを防止できる。次に、本発明の実施の形態について説明する。

【0062】図2は、本発明の実施の形態の構成例を示す図である。この実施の形態は、LCDパネル10、制御回路11、ゲートドライバ12、データドライバIC17および信号線15によって構成されている。

【0063】ここで、LCDパネル10には、図示せぬトランジスタを含む画素が縦横に配置され、ゲートドラ



イバ12から横方向に延びるゲートバスラインが各画素のトランジスタゲートに接続され、データドライバIC17から縦方向に延びるデータバスラインがトランジスタを介して各画素のコンデンサに接続される。

【0064】LCDパネル10にデータを表示する際には、ゲートドライバ12によりゲートバスラインを1ラインずつ順次駆動して1ライン分のトランジスタを導通状態にし、導通されたトランジスタを介して、データドライバIC17から各画素に横1ライン分のデータを一斉に書き込む。

【0065】制御回路11は、ゲートドライバ12とデータドライバIC17とを制御して、LCDパネル10に対するデータ表示を行うための回路である。この制御回路11から出力された信号は、データドライバIC17を介して次段のデータドライバIC17に供給され、以降順次、各段のデータドライバIC17から次段のデータドライバIC17に信号が供給される。

【0066】ゲートドライバ12は、制御回路11の制御に応じて、ゲートバスラインを1ラインずつ駆動し、1ライン分のトランジスタを順次導通状態にする。データドライバIC17は、カスケード接続されており、制御回路11から供給されたデータのうち、表示対象となるデータをクロック信号に同期してラッチし、LCDパネル10に供給するとともに、次のデータドライバIC17に供給する。

【0067】図3は、データドライバIC17の詳細な構成例を示す図である。この図に示すように、データドライバIC17は、入力バッファ120~123、カウンタ124、クロック制御回路125、DATA制御回路126、ラッチ回路127、出力バッファ128~131およびインバータ132によって構成されている。

【0068】ここで、入力バッファ120は、スタート信号が入力される。入力バッファ121は、クロック信号が入力される。入力バッファ122は、リセット信号が入力される。入力バッファ123は、データ信号が入力される。

【0069】カウンタ124は、クロック制御回路125から出力されるクロック信号をカウントし、所定のカウンタ値になった場合には、出力バッファ128に供給しているスタート信号をアクティブの状態にする。

【0070】クロック制御回路125は、クロック信号、スタート信号、および、リセット信号に応じてカウンタ124、DATA制御回路126およびラッチ回路127を制御するとともに、インバータ132にクロック信号を供給する。

【0071】DATA制御回路126は、入力バッファ123を介して入力されたデータ信号を、クロック制御回路125から供給されるクロック信号に同期してラッチし、ラッチ回路127に供給する。

【0072】ラッチ回路127は、DATA制御回路1

26から供給されたデータ信号をラッチしてLCDパネル10に供給する。出力バッファ128は、カウンタ124から出力されたスタート信号を次のデータドライバIC17に供給する。

【0073】出力バッファ129は、インバータ132から出力された反転されたクロック信号を次のデータドライバIC17に供給する。出力バッファ130は、入力バッファ122から入力されたリセット信号を次のデータドライバIC17に供給する。

10 【0074】出力バッファ131は、DATA制御回路126から出力されたデータ信号を次のデータドライバIC17に供給する。図4は、DATA制御回路126の詳細な構成例を示す図である。この図に示すように、DATA制御回路126は、破線で囲繞されて示されている入力回路140、遅延回路150および出力回路144によって構成され、データ信号をクロック信号の立ち上がりエッジおよび立ち下がりエッジに同期してラッチし、LCDパネル10に供給するとともに、ラッチされたこれらの信号を遅延した後、再度合成して出力する。

20 【0075】ここで、入力回路140は、インバータ141およびDFF142、143によって構成されており、DFF142は、クロック信号の立ち下がりエッジに同期して、また、DFF143はクロック信号の立ち上がりエッジに同期してデータ信号をラッチし、ラッチ回路127と遅延回路150に供給する。

30 【0076】遅延回路150は、インバータ151、152およびD-LATCH153、154によって構成されており、D-LATCH153は、クロック信号の立ち上がりエッジに同期して、DFF142の出力をラッチし、D-LATCH154は、クロック信号の立ち下がりエッジに同期してDFF143の出力をラッチし、ラッチ回路127と出力回路144に供給する。

【0077】出力回路144は、インバータ145、146およびNANDゲート147~149によって構成され、D-LATCH153、154から出力されたデータ信号をクロック信号に同期して合成し、出力する。

40 【0078】図5は、カウンタ124の詳細な構成例を示す図である。この図に示すように、カウンタ124は、DATA信号の取り込みに必要なCLK数 $n+1$ 個のDFF160-1~160-n、161からなるシフトレジスタにより構成され、次段のICに前段からのクロック信号と、データ信号を取込み始めるタイミングを通知する機能を持っている。

【0079】次に、本発明の実施の形態の動作について説明する。制御回路11に映像信号が入力されると、制御回路11は、リセット信号を出力し、データドライバIC17に供給する。

【0080】その結果、初段（図中左端）のデータドライバIC17は、この信号を入力バッファ122を介し

て読み込み、クロック制御回路125およびカウンタ124をリセットした後、出力バッファ130を介して次のデータドライバIC17に供給する。その結果、データドライバIC17が次々とリセットされることになる。

【0081】続いて、制御回路11からクロック信号およびデータ信号が出力されると、初段のデータドライバIC17は、入力バッファ121および入力バッファ123を介してこれらの信号を読み込み(図6(A),

(B)参照)、クロック制御回路125およびDATA 10 制御回路126にそれぞれ供給する。

【0082】制御回路11からスタート信号が入力バッファ120に供給されると、DATA制御回路126のDFF143は、クロック信号の立ち上がりエッジに同期してデータ信号をラッチし、A信号(図6(C)参照)としてD-LATCH154へ出力する。

【0083】一方、DFF142は、クロック信号の立ち下がりエッジに同期してデータ信号をラッチし、B信号(図6(D)参照)としてD-LATCH153とラッチ回路127へ出力する。

【0084】D-LATCH153は、DFF142の出力をクロック信号の立ち上がりエッジに同期してラッチすることによりクロック信号の半サイクル分だけ遅延し、出力回路144にD信号(図6(F)参照)として供給する。

【0085】D-LATCH154も同様に、DFF143の出力をクロック信号の立ち下がりエッジに同期してラッチすることによりクロック信号の半サイクル分だけ遅延し、出力回路144にC信号(図6(E)参照)として供給する。

【0086】出力回路144は、D-LATCH153およびD-LATCH154から出力された信号をクロック信号に同期して合成し、出力バッファ131に供給する。

【0087】ラッチ回路127は、DATA制御回路126から供給されたデータ信号をラッチし、LCDパネル10に供給する。その結果、LCDパネル10には、当該データドライバIC17に分担されている画像データが供給されることになる。

【0088】カウンタ124は、リセット信号によってリセットされた後、クロック信号をカウントし、クロック信号のnサイクルが経過した場合には、出力バッファ128に供給するスタート信号を“H”の状態にする。

【0089】クロック制御回路125から出力されたクロック信号は、インバータ132によって反転され、出力バッファ129に供給される。出力バッファ129および出力バッファ131は、インバータ132により反転されたクロック信号およびデータ信号を次のデータドライバIC17に出力する(図6(G), (H)参照)。

【0090】ここで、このデータ出力信号(図6(G)参照)は、データ入力信号(図6(B)参照)に比較すると、位相がクロック信号の半サイクル分だけ遅延していることが分かる。また、クロック信号は、入力された信号がインバータ132により反転されて出力されることから位相が180度ずれている。

【0091】図7は、クロック信号とデータ信号の位相関係を示す図である。この図では、クロック“1”～“10”が入力されるとともに、データ“A”～“H”が入力されている。また、データ“A”は、クロック“1”に同期して入力されている。

【0092】図7(A)に示すスタート入力信号が“H”の状態になると、クロック“1”(図7(B)参照)に同期してデータ“A”(図7(C)参照)が入力される。前述のように、クロック信号はインバータ132により反転されて出力されるので、クロック出力信号は図7(E)に示すように、クロック“1”が反転されて“L”の状態となって出力される。

【0093】一方、データ信号は、遅延回路150によってクロック信号の半サイクル分だけ遅延されて出力されるので、図7(F)に示すように、データ“A”と、クロック“1”と“2”の間の“H”の部分に同期して出力される。従って、データ信号とクロック信号の位相は、入力されたときと同じ状態を保って次段のデータドライバIC17に供給されることになる。

【0094】図8は、各データドライバIC17に入力されるデータ信号の位相の関係を示す図である。この図において(A)～(J)は、1段目～10段目のデータドライバIC17(図2では1段目～4段目のみを示してある)に入力されるクロック信号を示している。この図に示すように、本発明の実施の形態によれば、各データドライバIC17においてクロック信号を反転して出力するようにしたので、デューティ比の誤差が累積されることを防止できる。

【0095】また、図11に示す従来のDATA制御回路では、DFF42, 43の出力信号をそれぞれラッチすることにより、立ち上がり立ち下がりエッジに同期して重畳されている情報を取り出していた。しかし、このような方法では、図13に示すように、クロック信号の立ち下がりから次ぎの立ち上がりまでの期間しかラッチ回路127がデータをラッチするためのタイミングマージンを確保できないため、解像度が高くなった場合には、正常にデータを取得できない等の問題を生じていた。

【0096】しかし、本発明の実施の形態では、図4に示すように、立ち上がりエッジについてはD-LATCH154の出力(C信号)を、また、立ち下がりエッジについては従来と同様にDFF142の出力(B信号)を用いるようにしている。その結果、図6に示すよう

50 に、クロック信号の立ち下がりエッジから、次の立ち下

がりエッジまでの期間をタイミングマージンとして確保することができるので、画面の解像度が向上した場合であってもデータを正確にラッチすることが可能になる。

【0097】なお、以上の実施の形態では、D-LATCH153, 154を用いてデータ信号を遅延するようにしたが、ディレイラインを用いて遅延することも可能である。

【0098】また、以上の実施の形態では、LCDパネルを例に挙げて説明したが、その他の表示装置（例えば、PDP (Plasma Display Panel) 等）に対しても本発明を適用することが可能である。

【0099】また、LCD等の表示装置のみならず、カスケード接続された半導体装置間で信号を伝送する伝送システムに本発明を適用することが可能である。更に、以上の実施の形態に示す回路は、ほんの一例であり、本発明がこのような回路のみに限定されるものではないことはいうまでもない。

【0100】（付記1） 外部から供給された第1の信号を入力する第1の入力回路と、外部から供給された第2の信号を、前記第1の入力回路から入力された前記第1の信号に応じて入力する第2の入力回路と、前記第2の入力回路から入力された前記第2の信号に基づいて信号処理を行う信号処理回路と、前記第1の入力回路から入力された前記第1の信号を反転して出力する第1の出力回路と、前記第2の入力回路から入力された前記第2の信号を所定量だけ遅延して出力する第2の出力回路と、を有することを特徴とする半導体装置。

【0101】（付記2） 前記第1の信号はクロック信号であり、前記第2の信号はデータ信号であり、前記第2の出力回路は、前記クロック信号の半サイクル分だけ前記データ信号を遅延して出力する、ことを特徴とする付記1記載の半導体装置。

【0102】（付記3） 前記第2の出力回路は、前記データ信号をラッチ回路を用いることにより遅延することを特徴とする付記2記載の半導体装置。

（付記4） 前記データ信号は、前記クロック信号の立ち上がりおよび立ち下がりエッジに対応する位置に一组の情報が重畳されており、前記信号処理回路は、前記一組の情報のうち、先に入力される情報については、前記ラッチ回路によって遅延されたデータ信号から取得し、後に入力される情報については、前記ラッチ回路によって遅延される前のデータ信号から取得する、ことを特徴とする付記3記載の半導体装置。

【0103】（付記5） 前記データ信号の取り込みを示すスタート信号を入力する第3の入力回路と、前記第3の入力回路から入力された前記スタート信号を前記クロック信号の前記データ信号の取り込みに必要なサイクル数分だけ遅延して出力する第3の出力回路と、を更に有することを特徴とする付記2記載の半導体装置。

【0104】（付記6） 前記第1および/または第2

の出力回路は、ディレイラインによって前記データ信号を遅延することを特徴とする付記2記載の半導体装置。

（付記7） 表示パネルと、前記表示パネルのゲートバスラインを駆動するゲートドライバと、前記表示パネルのデータバスラインを駆動するカスケード接続された複数のデータドライバとを有する表示装置において、前記データドライバは、前段から供給された第1の信号を入力する第1の入力回路と、前段から供給された第2の信号を、前記第1の入力回路から入力された前記第1の信号に応じて入力する第2の入力回路と、前記第2の入力回路から入力された前記第2の信号に基づいて信号処理を行う信号処理回路と、前記第1の入力回路から入力された前記第1の信号を反転して出力する第1の出力回路と、前記第2の入力回路から入力された前記第2の信号を所定量だけ遅延して出力する第2の出力回路と、を有することを特徴とする表示装置。

【0105】（付記8） 前記第1の信号はクロック信号であり、前記第2の信号はデータ信号であり、前記第2の出力回路は、前記クロック信号の半サイクル分だけ前記データ信号を遅延して出力する、ことを特徴とする付記7記載の表示装置。

【0106】（付記9） 前記第2の出力回路は、前記データ信号をラッチ回路を用いることにより遅延することを特徴とする付記8記載の表示装置。

（付記10） 前記データ信号は、前記クロック信号の立ち上がりおよび立ち下がりエッジに対応する位置に一组の情報が重畳されており、前記信号処理回路は、前記一組の情報のうち、先に入力される情報については、前記ラッチ回路によって遅延されたデータ信号から取得し、後に入力される情報については、前記ラッチ回路によって遅延される前のデータ信号から取得する、ことを特徴とする付記9記載の表示装置。

【0107】（付記11） 前記データ信号の取り込みを示すスタート信号を入力する第3の入力回路と、前記第3の入力回路から入力された前記スタート信号を前記クロック信号の前記データ信号の取り込みに必要なサイクル数分だけ遅延して出力する第3の出力回路と、を更に有することを特徴とする付記8記載の表示装置。

【0108】（付記12） 前記第1および/または第2出力回路は、ディレイラインによって前記データ信号を遅延することを特徴とする付記8記載の表示装置。

（付記13） カスケード接続された複数の半導体装置を有し、入力された信号を順次伝送する信号伝送システムにおいて、前記各半導体装置は、前段から供給された第1の信号を入力する第1の入力回路と、前段から供給された第2の信号を、前記第1の入力回路から入力された前記第1の信号に応じて入力する第2の入力回路と、前記第2の入力回路から入力された前記第2の信号に基づいて信号処理を行う信号処理回路と、前記第1の入力回路から入力された前記第1の信号を反転して出力する

第1の出力回路と、前記第2の入力回路から入力された前記第2の信号を所定量だけ遅延して出力する第2の出力回路と、を有することを特徴とする信号伝送システム。

#### 【0109】

【発明の効果】以上説明したように本発明では、カスケード接続されて使用される半導体装置において、外部から供給された第1の信号については反転して出力し、同じく外部から供給された第2の信号については所定量だけ遅延して出力するようにしたので、第1の信号に対してデューティ比の誤差が累積されることを防止することができる。

【0110】また、本発明では、カスケード接続された複数のデータドライバを有する表示装置において、前段から供給される第1の信号については反転して出力し、同じく外部から供給された第2の信号については所定量だけ遅延して出力するようにしたので、第1の信号に対してデューティ比の誤差が累積され、表示される画像のクオリティが低下することを防止できる。

【0111】また、本発明では、カスケード接続された複数の半導体装置を有する信号伝送システムにおいて、前段から供給される第1の信号については反転して出力し、同じく外部から供給された第2の信号については所定量だけ遅延して出力するようにしたので、第1の信号に対してデューティ比の誤差が累積され、伝送される信号のクオリティが低下することを防止できる。

#### 【図面の簡単な説明】

【図1】本発明の動作原理を説明するための原理図である。

【図2】本発明の実施の形態の構成例を示す図である。

【図3】図2に示すデータドライバICの詳細な構成例を示す図である。

【図4】図3に示すDATA制御回路の詳細な構成例を示す図である。

【図5】図3に示すカウンタの詳細な構成例を示す図である。

【図6】図2に示す実施の形態の動作を説明するためのタイミングチャートである。

【図7】クロック信号とデータ信号の位相の関係を示す図である。

【図8】図2に示す各データドライバICに入力されるクロック信号を示す図である。

【図9】カスケード接続構成を有する従来の液晶表示装置の一例を示す図である。

【図10】図9に示すデータドライバICの詳細な構成例を示す図である。

【図11】図10に示すDATA制御回路の詳細な構成

例を示す図である。

【図12】図10に示すカウンタの詳細な構成例を示す図である。

【図13】図9に示す各データドライバICに入力されるクロック信号を示す図である。

【図14】図9に示す従来例の動作を説明するためにタイミングチャートである。

【図15】先の出願の発明の構成例を示す図である。

【図16】図15に示すデータドライバICの詳細な構成例を示す図である。

【図17】奇数番目に接続されたデータドライバICの動作を説明するための図である。

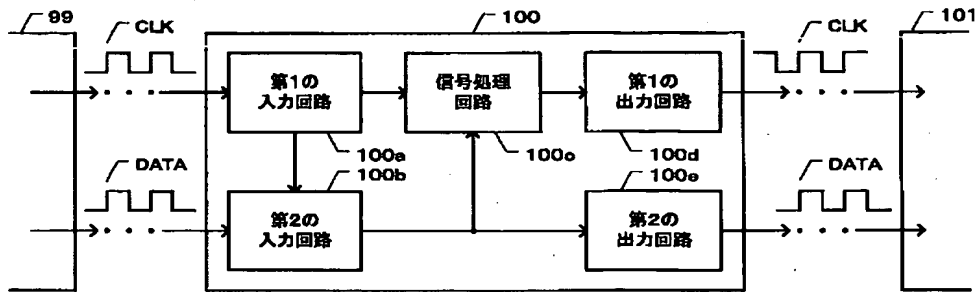
【図18】偶数番目に接続されたデータドライバICの動作を説明するための図である。

【図19】図15に示す従来例の動作を説明するためのタイミングチャートである。

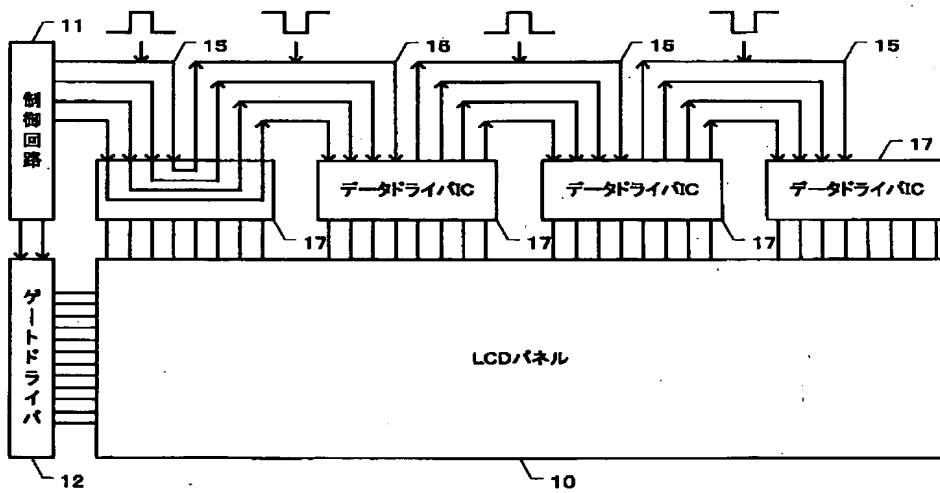
#### 【符号の説明】

10 LCDパネル  
11 制御回路  
12 ゲートドライバ  
15 信号線  
17 データドライバIC  
99~101 半導体装置  
100a 第1の入力回路  
100b 第2の入力回路  
100c 信号処理回路  
100d 第1の出力回路  
100e 第2の出力回路  
120~123 入力バッファ  
124 カウンタ  
125 クロック制御回路  
126 DATA制御回路  
127 ラッチ回路  
128~131 出力バッファ  
132 インバータ  
140 入力回路  
141 インバータ  
142, 143 DFF  
144 出力回路  
145, 146 インバータ  
147~149 NANDゲート  
150 遅延回路  
151, 152 インバータ  
153, 154 D-LATCH  
160-1~160-n DFF  
161 DFF

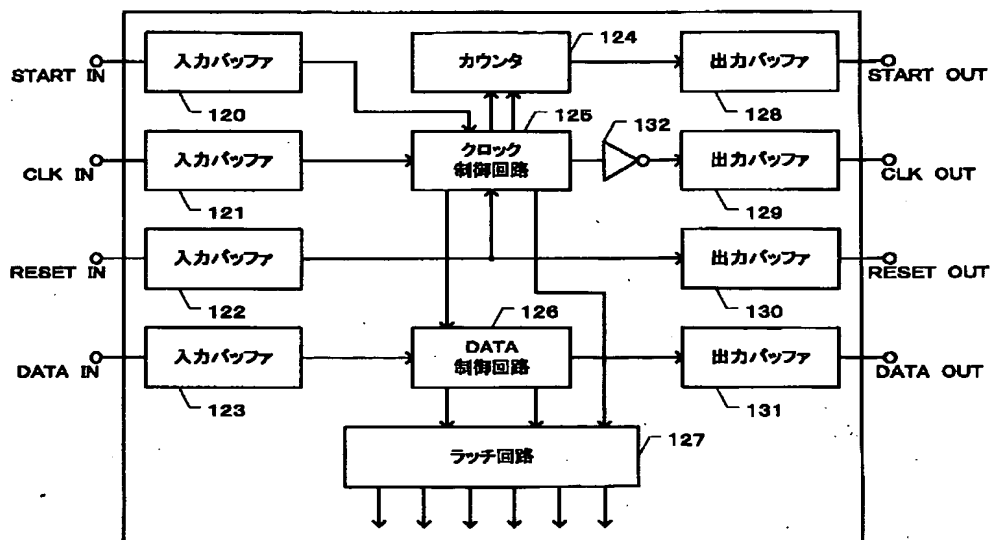
【図 1】



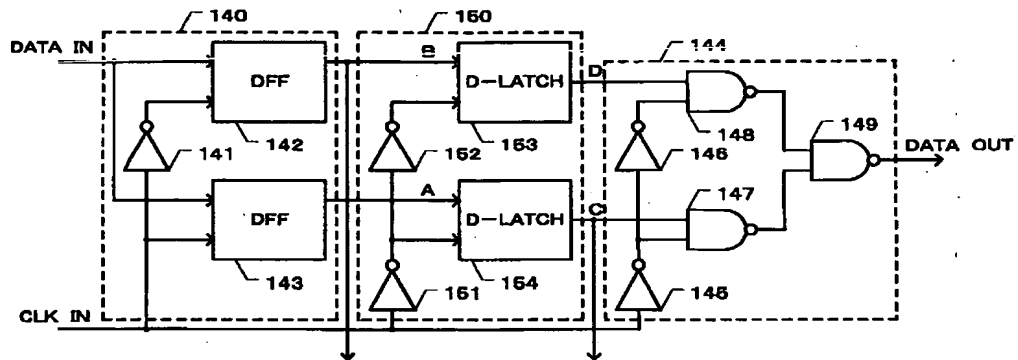
【図 2】



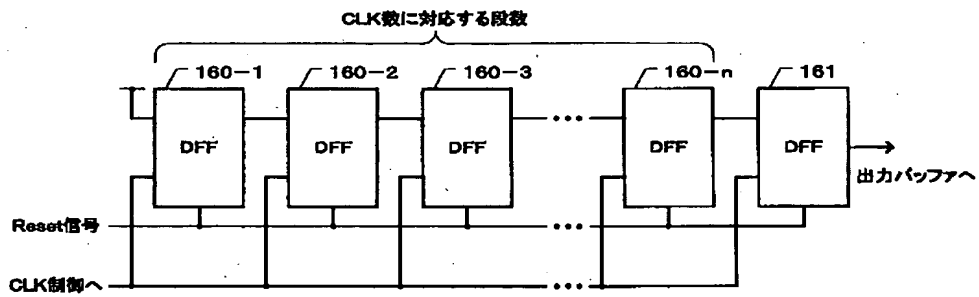
【図 3】



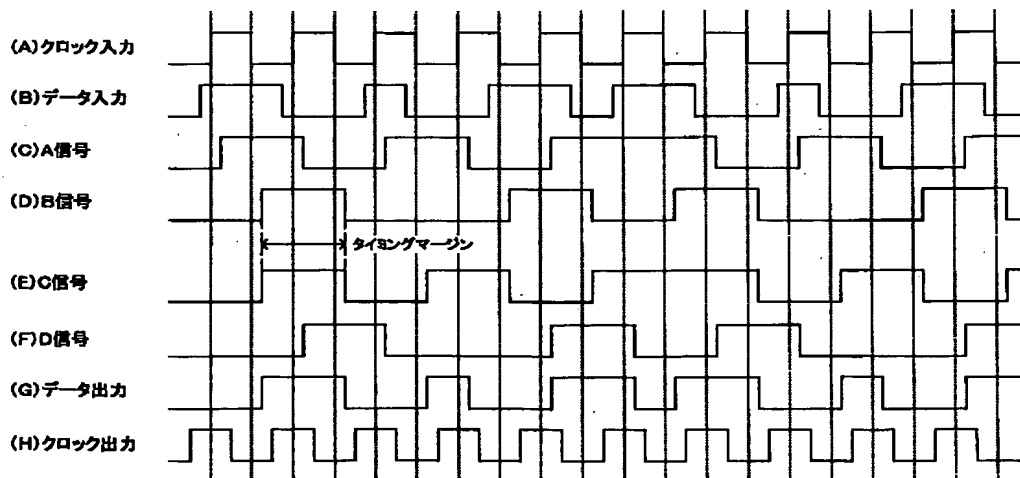
【図4】



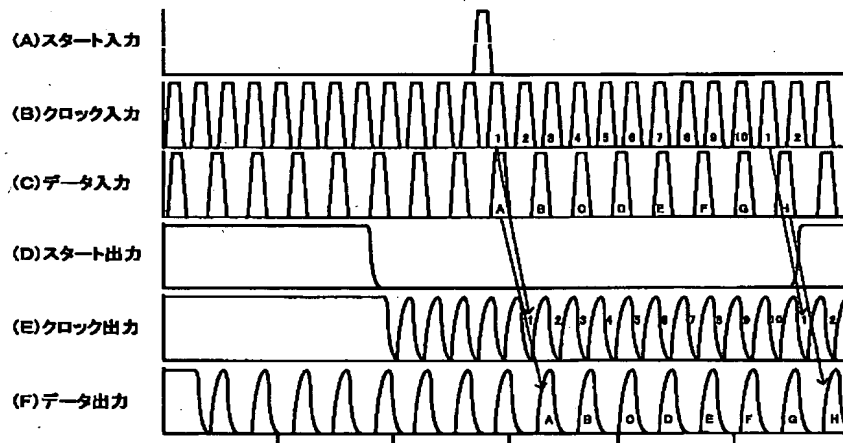
【図5】



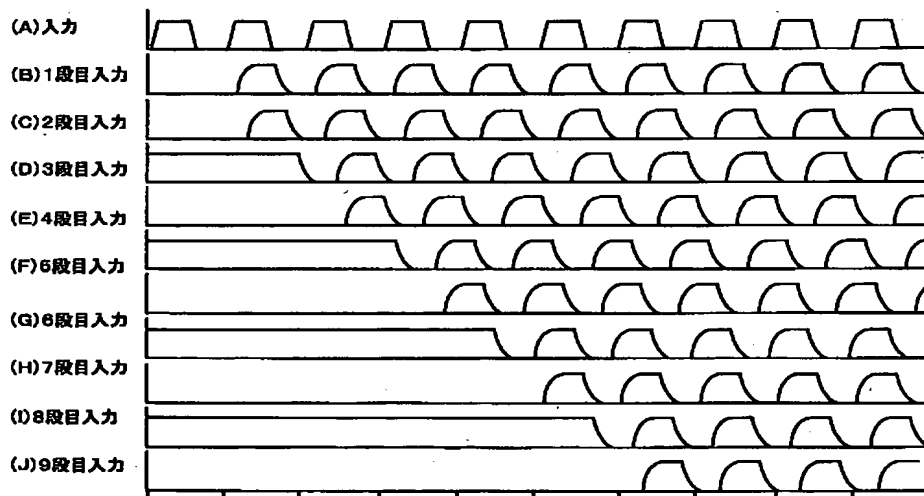
【図6】



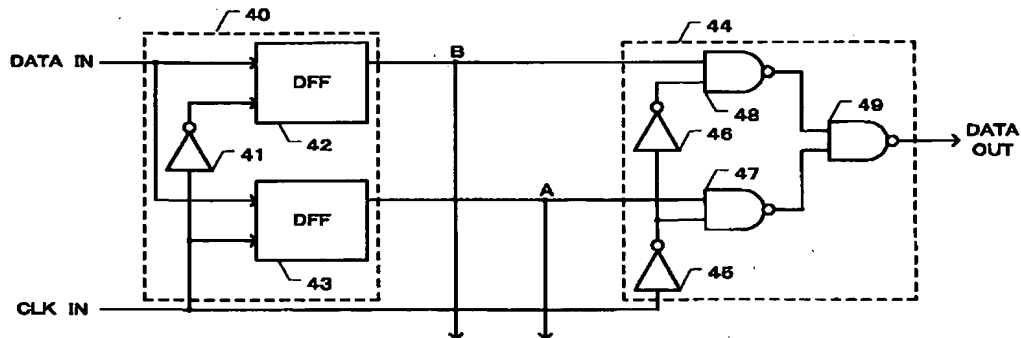
【図 7】



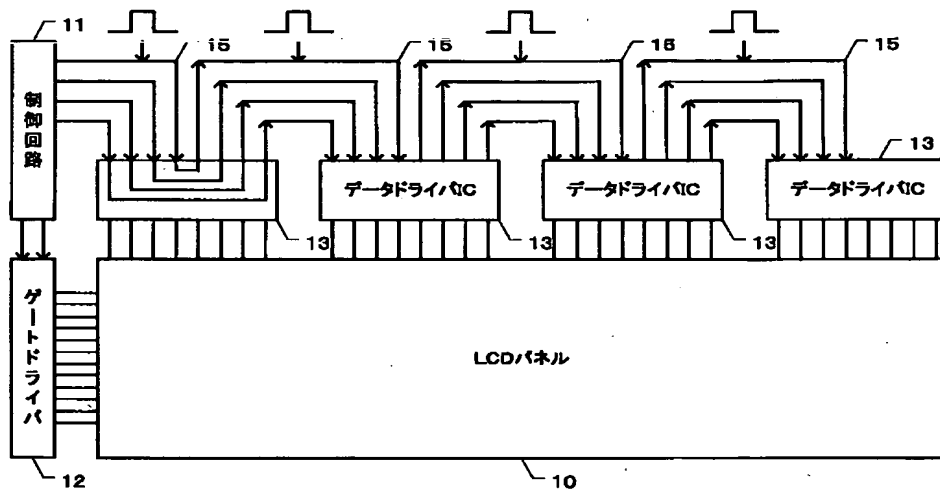
【図 8】



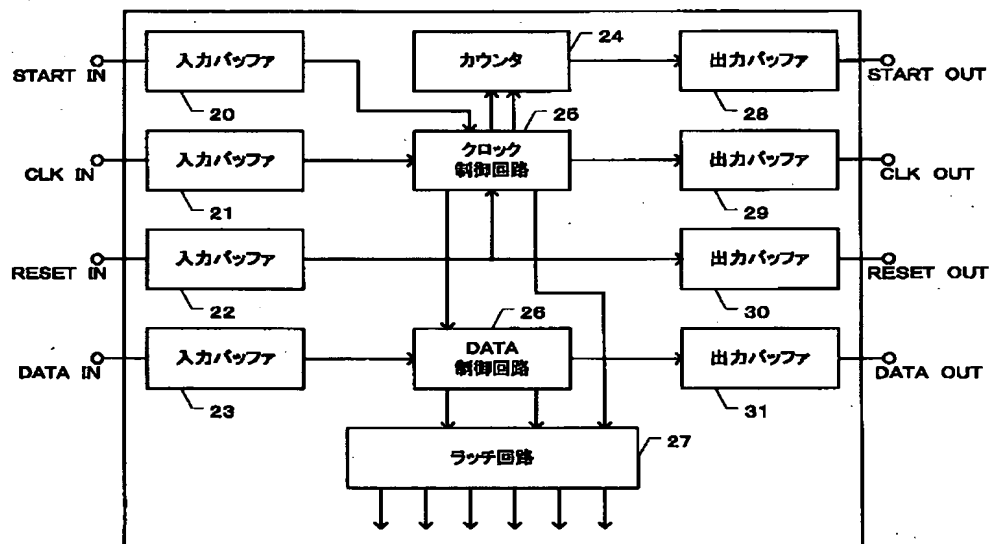
【図 11】



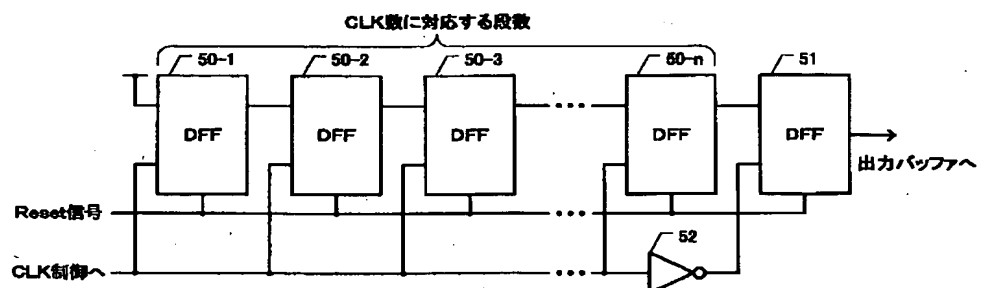
【図 9】



【図 10】

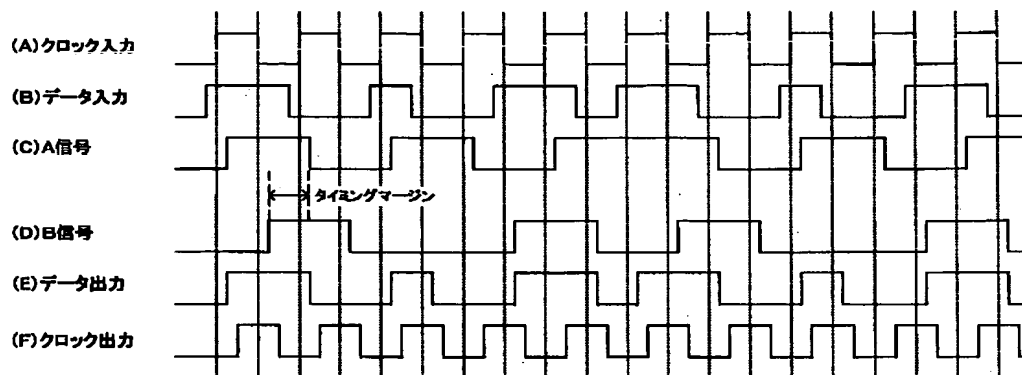


【図 12】

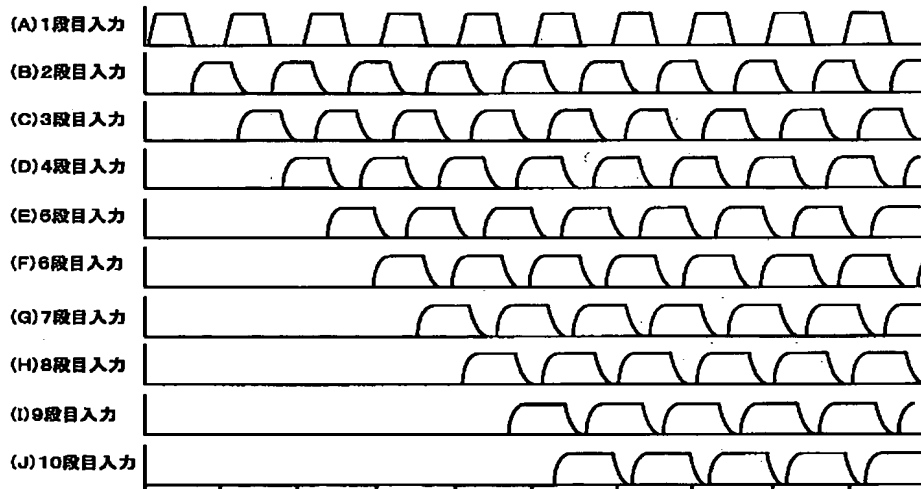




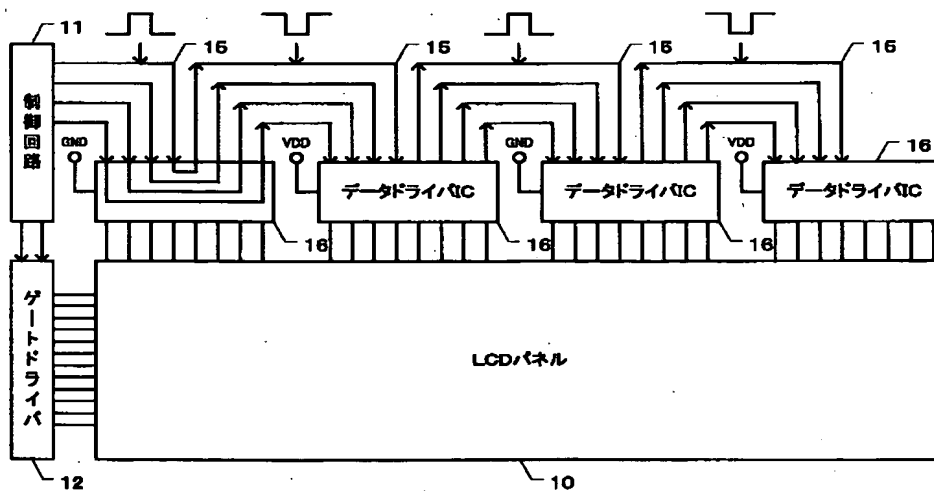
【図13】



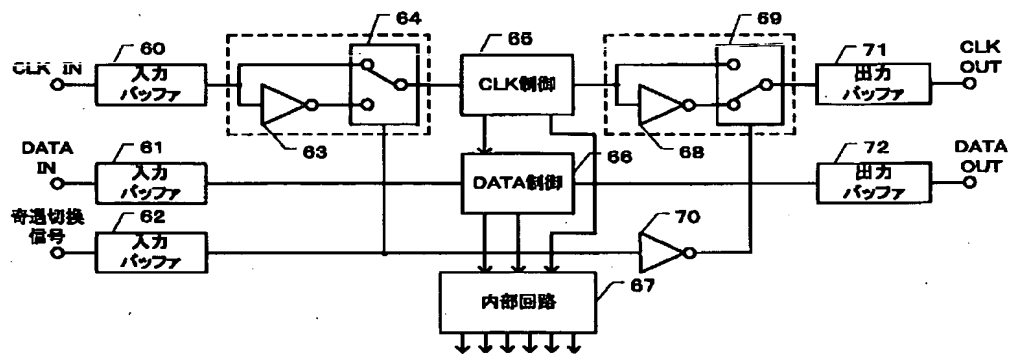
【図14】



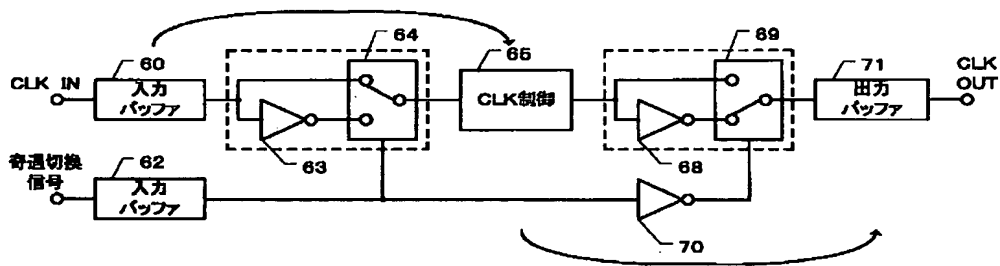
【図15】



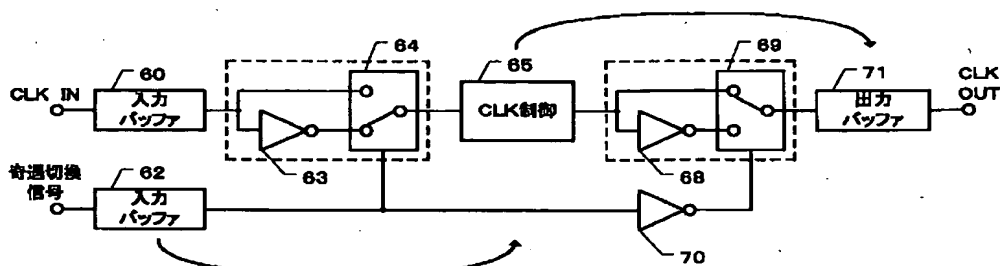
【図16】



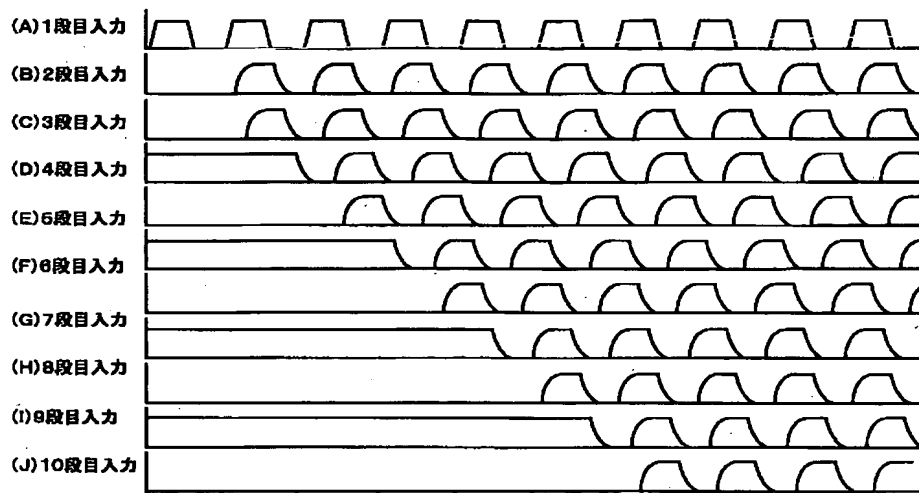
【図17】



【図18】



【図19】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

G 0 9 G 3/20

G 0 9 G 3/20

6 2 3 G

6 3 3

6 3 3 C

6 8 0

6 8 0 G

F ターム (参考) 2H093 NA16 NC11 NC16 NC26 NC27  
 NC34 ND01 ND49 ND60  
 5C006 AA16 AF72 BB16 BC02 BC12  
 BC24 BF03 BF04 BF06 BF07  
 BF22 BF24 BF25 BF26 BF27  
 FA13 FA16 FA26 FA37 FA42  
 FA45 FA52  
 5C080 AA10 BB05 DD05 DD07 DD08  
 DD09 DD23 DD27 FF11 JJ02  
 JJ03 JJ04

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**